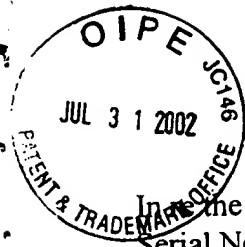


15.17/5051

Op/2826
#9
Priority
Paper
only

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In the Application of: FURUHATA et al.)
Serial No.: 09/599,477)
Filed: June 23, 2000)
For: SEMICONDUCTOR DEVICES)
INCLUDING A NON-VOLATILE)
MEMORY TRANSISTOR)

Group Art Unit: 2826
Examiner: Dickey, T.

RECEIVED
AUG. 7 2002
TECHNOLOGY CENTER 2800

TRANSMITTAL OF CERTIFIED COPY

Assistant Commissioner for Patents
Washington, DC 20231

Dear Sir:

Enclosed is a certified copy of the priority document for U.S. Application Serial No. 09/599,477. This document is Japanese patent application no. 11-233965, filed August 20, 1999. It is believed that no fees are due relating to this submission, however, if fees are due relating to this submission, please charge them to deposit account no. 50-0585.

Respectfully submitted,

Alan S. Raynes
Reg. No. 39,809
KONRAD RAYNES VICTOR & MANN, LLP
315 South Beverly Drive, Suite 210
Beverly Hills, CA 90212
Customer No. 24033
tele general: (310) 556-7983
tele direct: (310) 871-8448
facsimile: (310) 556-7984

Dated: July 22 2002

Certificate of Mailing

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231 on July 22 2002.

Alan S. Raynes July 22 2002
(Date)



日本特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日
Date of Application:

1999年 8月20日

出願番号
Application Number:

平成11年特許願第233965号

[ST.10/C]:

[J P 1999 - 233965]

出願人
Applicant(s):

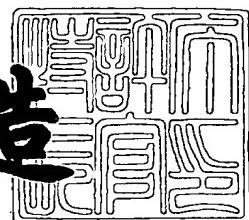
セイコーエプソン株式会社

RECEIVED
AUG. 7 2002
TECHNOLOGY CENTER 2800

2002年 5月17日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2002-3036109

【名】 特許願
【整理番号】 EP176501
【提出日】 平成11年 8月20日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/421
【発明者】
【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーホームズ株式会社内
【氏名】 古畠 智之
【特許出願人】
【識別番号】 000002369
【氏名又は名称】 セイコーホームズ株式会社
【代理人】
【識別番号】 100090479
【弁理士】
【氏名又は名称】 井上 一
【電話番号】 03-5397-0891
【選任した代理人】
【識別番号】 100090387
【弁理士】
【氏名又は名称】 布施 行夫
【電話番号】 03-5397-0891
【選任した代理人】
【識別番号】 100090398
【弁理士】
【氏名又は名称】 大渕 美千栄
【電話番号】 03-5397-0891
【手数料の表示】
【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性メモリトランジスタを含む半導体装置

【特許請求の範囲】

【請求項1】 スプリット構造の不揮発性メモリトランジスタを含む半導体装置であって、

メモリ領域を有する、第1導電型の半導体基板と、

前記メモリ領域中に位置する第2導電型の第1ウェルと、

前記第1ウェル中に位置する第1導電型の第2ウェルと、

を備え、

前記不揮発性メモリトランジスタの一対のソース／ドレインは、前記第2ウェル中に位置している、不揮発性メモリトランジスタを含む半導体装置。

【請求項2】 請求項1において、

プラスとマイナスの電圧を用いて前記不揮発性メモリトランジスタを動作させる、不揮発性メモリトランジスタを含む半導体装置。

【請求項3】 請求項2において、

前記不揮発性メモリトランジスタの動作とは前記不揮発性メモリトランジスタへのデータの書き込みおよび／または消去である、不揮発性メモリトランジスタを含む半導体装置。

【請求項4】 請求項2または3において、

前記半導体基板はp型であり、

前記第1ウェルはn型であり、

前記第2ウェルはp型であり、

前記一対のソース／ドレインのそれぞれはn型である、不揮発性メモリトランジスタを含む半導体装置。

【請求項5】 請求項2～4のいずれかにおいて、

前記不揮発性メモリトランジスタへのデータの書き込みは、前記コントロールゲートに他極性電圧、一方の前記ソース／ドレインに一極性電圧、他方の前記ソース／ドレインに他極性電圧、前記第2ウェルに他極性電圧、前記第1ウェルに

電圧がそれぞれ印加されることにより行われ、

前記不揮発性メモリトランジスタへのデータの消去は、前記コントロールゲートに一極性電圧、一方の前記ソース／ドレインに他極性電圧、他方の前記ソース／ドレインに他極性電圧、前記第2ウェルに他極性電圧、前記第1ウェルに一極性電圧がそれぞれ印加されることにより行われる、不揮発性メモリトランジスタを含む半導体装置。

【請求項6】 請求項5において、

前記不揮発性メモリトランジスタへのデータの書き込みは、前記コントロールゲートにマイナス3V電圧～マイナス4V電圧、一方の前記ソース／ドレインにプラス3V電圧～プラス4V電圧、他方の前記ソース／ドレインにマイナス5V電圧～マイナス6V電圧、前記第2ウェルにマイナス5V電圧～マイナス6V電圧、前記第1ウェルにプラス0.9V電圧～プラス3.3V電圧がそれぞれ印加されることにより行われ、

前記不揮発性メモリトランジスタへのデータの消去は、前記コントロールゲートにプラス6V電圧～プラス7V電圧、一方の前記ソース／ドレインにマイナス5V電圧～マイナス6V電圧、他方の前記ソース／ドレインにマイナス5V電圧～マイナス6V電圧、前記第2ウェルにマイナス5V電圧～マイナス6V電圧、前記第1ウェルにプラス0.9V電圧～プラス3.3V電圧がそれぞれ印加されることにより行われる、不揮発性メモリトランジスタを含む半導体装置。

【請求項7】 請求項1～6のいずれかにおいて、

前記不揮発性メモリトランジスタへのデータの書き込みは、チャネルホットエレクトロン (Channel Hot Electron) により行われ、

前記不揮発性メモリトランジスタへのデータの消去は、ファウラノルドハイムトンネル (Fowler Nordheim Tunnel) により行われる、不揮発性メモリトランジスタを含む半導体装置。

【請求項8】 請求項1～7のいずれかにおいて、

前記ソース／ドレインの不純物濃度は $1 \sim 8 \times 10^{20} \text{ cm}^{-3}$ であり、

第2ウェルの表面不純物濃度は、 $0.5 \sim 5 \times 10^{16} \text{ cm}^{-3}$ であり、

第2ウェルのピーク不純物濃度は、 $1 \sim 4 \times 10^{17} \text{ cm}^{-3}$ である、不揮発性メ

トランジスタを含む半導体装置。

【請求項9】 請求項1～8のいずれかにおいて、

前記不揮発性メモリトランジスタは、第1のゲート絶縁層と、第2のゲート絶縁層と、フローティングゲートと、コントロールゲートと、トンネル絶縁層として機能する中間絶縁層と、を備え、

前記第1のゲート絶縁層と前記第2のゲート絶縁層は、前記第2ウェル上であって、かつ一方の前記ソース／ドレインと他方の前記ソース／ドレインとの間に位置し、

前記フローティングゲートは前記第1のゲート絶縁層上に位置し、

前記中間絶縁層は前記フローティングゲート上に位置し

前記コントロールゲートは前記第2のゲート絶縁層上に位置し、かつ前記中間絶縁層を介して前記フローティングゲートに乗り上げている、不揮発性メモリトランジスタを含む半導体装置。

【請求項10】 請求項9のいずれかにおいて、

前記半導体基板は、異なる電圧レベルで動作される電界効果型トランジスタを含む第1、第2および第3のトランジスタ領域を含み、

前記第1のトランジスタ領域は、第1の電圧レベルで動作される第1の電圧型トランジスタを含み、

前記第2のトランジスタ領域は、第2の電圧レベルで動作される第2の電圧型トランジスタを含み、

前記第3のトランジスタ領域は、第3の電圧レベルで動作される第3の電圧型トランジスタを含み、

前記第2の電圧型トランジスタは、そのゲート絶縁層が、少なくとも2層の絶縁層からなり、かつ、前記第1の電圧型トランジスタのゲート絶縁層と同じ工程で形成された絶縁層を含む、不揮発性メモリトランジスタを含む半導体装置。

【請求項11】 請求項10において、

前記第3の電圧型トランジスタは、そのゲート絶縁層が、少なくとも3層の絶縁層からなり、かつ、前記第1の電圧型トランジスタのゲート絶縁層と同じ工程で形成された絶縁層を含む、不揮発性メモリトランジスタを含む半導体装置。

【請求項12】 請求項10において、

前記不揮発性メモリトランジスタの前記中間絶縁層は、少なくとも3層の絶縁層からなり、前記フローティングゲートおよび前記コントロールゲートにそれぞれ接する第1および第2の最外層は熱酸化法によって形成された絶縁層からなる、不揮発性メモリトランジスタを含む半導体装置。

【請求項13】 請求項12において、

前記中間絶縁層の前記コントロールゲートに接する前記第2の最外層は、前記第1の電圧型トランジスタの前記ゲート絶縁層と同一工程で形成された、不揮発性メモリトランジスタを含む半導体装置。

【請求項14】 請求項12または13において、

前記中間絶縁層は、前記第1および第2の最外層の間にCVD (Chemical Vap or Deposition) 法によって形成された酸化シリコン層を有する、不揮発性メモリトランジスタを含む半導体装置。

【請求項15】 請求項14において、

前記酸化シリコン層は、HTO (High Temperature Oxide) 法またはTEOS (Tetraethyl Orthosilicate) 法から選択されたCVD法によって形成された、不揮発性メモリトランジスタを含む半導体装置。

【請求項16】 請求項10～15のいずれかにおいて、

前記第3の電圧型トランジスタは、そのゲート絶縁層が前記不揮発性メモリトランジスタの前記中間絶縁層と同一の工程で形成され、少なくとも3層の絶縁層からなる、不揮発性メモリトランジスタを含む半導体装置。

【請求項17】 請求項10～16のいずれかにおいて、

前記第1の電圧型トランジスタは、そのゲート絶縁層の膜厚が3～13nmである、不揮発性メモリトランジスタを含む半導体装置。

【請求項18】 請求項10～17のいずれかにおいて、

前記第2の電圧型トランジスタは、そのゲート絶縁層の膜厚が4～15nmである、不揮発性メモリトランジスタを含む半導体装置。

【請求項19】 請求項10～18のいずれかにおいて、

前記第3の電圧型トランジスタは、そのゲート絶縁層の膜厚が16～45nm

である、不揮発性メモリトランジスタを含む半導体装置。

【請求項20】 請求項10～19のいずれかにおいて、

前記不揮発性メモリトランジスタは、その中間絶縁層の膜厚が16～45nmである、不揮発性メモリトランジスタを含む半導体装置。

【請求項21】 請求項12～15のいずれかにおいて、

前記不揮発性メモリトランジスタは、その中間絶縁層を構成する前記第1の最外層の膜厚が5～15nmであり、第2の最外層の膜厚が1～10nmである、不揮発性メモリトランジスタを含む半導体装置。

【請求項22】 請求項14または15において、

前記不揮発性メモリトランジスタは、その中間絶縁層を構成する前記第1の最外層の膜厚が5～15nmであり、第2の最外層の膜厚が1～10nmであり、前記第1および第2の最外層の間に形成された前記酸化シリコン層の膜厚は10～20nmである、不揮発性メモリトランジスタを含む半導体装置。

【請求項23】 請求項1～22のいずれかにおいて、

前記フローティングゲートの上面に、選択酸化によって形成された選択酸化絶縁層が設けられた、不揮発性半導体記憶装置。

【請求項24】 請求項10～23のいずれかにおいて、

前記第1の電圧型トランジスタを動作する第1の電圧レベルは、絶対値で1.8～3.3Vであり、

前記第2の電圧型トランジスタを動作する第2の電圧レベルは、絶対値で2.5～5Vであり、

前記第3の電圧型トランジスタを動作する第3の電圧レベルは、絶対値で10～15Vである、不揮発性メモリトランジスタを含む半導体装置。

【請求項25】 請求項10～24のいずれかにおいて、

少なくともフラッシュメモリ（フラッシュEEPROM）を有し、

前記フラッシュメモリは不揮発性メモリトランジスタのメモリセルアレイと周辺回路を含んで形成される、不揮発性メモリトランジスタを含む半導体装置。

【請求項26】 請求項25において、

さらに、他の回路領域が混載された、不揮発性メモリトランジスタを含む半導

体装置。

【請求項27】 請求項26において、

前記回路領域は、少なくともロジックを含む、不揮発性メモリトランジスタを含む半導体装置。

【請求項28】 請求項25～27のいずれかにおいて、

前記第1の電圧型トランジスタは、Yゲート、センスアンプ、入出力バッファ、Xアドレスデコーダ、Yアドレスデコーダ、アドレスバッファおよびコントロール回路から選択される少なくとも1つの回路に含まれる、不揮発性メモリトランジスタを含む半導体装置。

【請求項29】 請求項25～27のいずれかにおいて、

前記第2の電圧型トランジスタは、Yゲート、センスアンプ、入出力バッファ、Xアドレスデコーダ、Yアドレスデコーダおよびインターフェイス回路から選択される少なくとも1つの回路に含まれる、不揮発性メモリトランジスタを含む半導体装置。

【請求項30】 請求項25～27のいずれかにおいて、

前記第3の電圧型トランジスタは、書き込み電圧発生回路、消去電圧発生回路および昇圧回路から選択される少なくとも1つの回路に含まれる、不揮発性メモリトランジスタを含む半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は不揮発性メモリトランジスタを含む半導体装置、特に、スプリットゲート構造を有する不揮発性メモリトランジスタを含む半導体装置に関する。

【0002】

【背景技術および発明が解決しようとする課題】

不揮発性メモリトランジスタには様々な種類があり、その一つとして電気的に書き込み及び消去ができる種類のものがある。そして、この種類も多様であり、その一つとして、例えば、P型の半導体基板と、半導体基板中に位置しているP型のウェルと、ウェル中に位置しているN型の一対のソース／ドレインと、ウェ

ル上に薄い絶縁膜を介して位置しているスプリットゲート構造のゲートと、を備えたものがある。

【0003】

上記構造の不揮発性メモリトランジスタにおいて、半導体基板は通常、アースされているので、ウェルの電位もアース電位である。よって、書き込み及び消去動作には一極性（例えば正極性）の高電圧を使用しなければならない。

【0004】

本発明の目的は、より低い電圧で動作可能な、スプリットゲート構造を有する不揮発性メモリトランジスタを含む半導体装置を提供することにある。

【0005】

【課題を解決するための手段】

本発明は、スプリットゲート構造を有する不揮発性メモリトランジスタを含む半導体装置であって、

本発明に係る半導体装置は、

メモリ領域を有する、第1導電型の半導体基板と、

メモリ領域中に位置する第2導電型の第1ウェルと、

第1ウェル中に位置する第1導電型の第2ウェルと、

を備え、

不揮発性メモリトランジスタの一対のソース／ドレインは、第2ウェル中に位置している。

【0006】

上記構造をした本発明に係る半導体装置の作用効果を以下説明する。本発明に係る半導体装置において、第1導電型の半導体基板と第1導電型の第2ウェルとは、第2導電型の第1ウェルによって分離されている。よって、第2ウェルの電位を半導体基板の電位とは別に独立に設定にすることができる。例えば、半導体基板の電位がアース電位であっても、第2ウェルをマイナス電位（またはプラス電位）にすることができる。第2ウェルの電位がマイナス電位（またはプラス電位）なので、コントロールゲートやソース／ドレインの電位が低いプラス電圧（またはマイナス電位）であっても、不揮発性メモリトランジスタを動作させるの

に十分な電位差を得ることができる。

【0007】

本発明に係る半導体装置において、プラス電圧とマイナス電圧を用いて不揮発性メモリトランジスタの動作をさせるのが好ましい。これは、コントロールゲートやソース／ドレインにプラス電圧を印加して不揮発性メモリトランジスタの動作をさせる場合、第2ウェルにマイナス電圧を印加することを意味する。また、コントロールゲートやソース／ドレインにマイナス電圧を印加して不揮発性メモリトランジスタの動作をさせる場合、第2ウェルにプラス電圧を印加することを意味する。

【0008】

このように、プラス電圧とマイナス電圧を用いて不揮発性メモリトランジスタの動作をさせる場合、使用電圧が低いプラス電圧と絶対値が低いマイナス電圧との組み合わせであっても、不揮発性メモリトランジスタを動作させるのに十分な電位差を得ることができる。

【0009】

本発明に係る半導体装置において、不揮発性メモリトランジスタの動作とは不揮発性メモリトランジスタへのデータの書き込みおよび／または消去である。不揮発性メモリトランジスタへのデータの書き込みおよび／または消去には、通常、比較的大きな電位差を必要とするからである。

【0010】

本発明に係る半導体装置において、半導体基板はp型であり、第1ウェルはn型であり、第2ウェルはp型であり、一対のソース／ドレインのそれぞれはn型である、のが好ましい。

【0011】

本発明に係る半導体装置において、

不揮発性メモリトランジスタへのデータの書き込みは、コントロールゲートに他極性電圧、一方のソース／ドレインに一極性電圧、他方のソース／ドレインに他極性電圧、第2ウェルに他極性電圧、第1ウェルに一極性電圧がそれぞれ印加されることにより行われ、

不揮発性メモリトランジスタへのデータの消去は、コントロールゲートに一極性電圧、一方のソース／ドレインに他極性電圧、他方のソース／ドレインに他極性電圧、第2ウェルに他極性電圧、第1ウェルに一極性電圧がそれぞれ印加されることにより行われる、のが好ましい。

【0012】

ここで、一極性とは、他極性と異なる極性という意味である。また、他極性とは、一極性と異なる極性という意味である。よって、例えば、一極性がプラスの場合、他極性はマイナスという意味であり、また、一極性がマイナスの場合、他極性はプラスという意味である。

【0013】

好ましい具体的数値は以下のとおりである。

【0014】

不揮発性メモリトランジスタへのデータの書き込みは、コントロールゲートにマイナス3V電圧～マイナス4V電圧、一方のソース／ドレインにプラス3V電圧～プラス4V電圧、他方のソース／ドレインにマイナス5V電圧～マイナス6V電圧、第2ウェルにマイナス5V電圧～マイナス6V電圧、第1ウェルにプラス0.9V電圧～プラス3.3V電圧がそれぞれ印加されることにより行われ、

不揮発性メモリトランジスタへのデータの消去は、コントロールゲートにプラス6V電圧～プラス7V電圧、一方のソース／ドレインにマイナス5V電圧～マイナス6V電圧、他方のソース／ドレインにマイナス5V電圧～マイナス6V電圧、第2ウェルにマイナス5V電圧～マイナス6V電圧、第1ウェルにプラス0.9V電圧～プラス3.3V電圧がそれぞれ印加されることにより行われる。

【0015】

本発明に係る半導体装置において、不揮発性メモリトランジスタへのデータの書き込みは、チャネルホットエレクトロン (Channel Hot Electron) により行われ、

不揮発性メモリトランジスタへのデータの消去は、ファウラノルドハイムトンネル (Fowler Nordheim Tunnel) により行われる、のが好ましい。

【0016】

本発明に係る半導体装置において、ソース／ドレインの不純物濃度は、 $1 \sim 8 \times 10^{20} \text{ cm}^{-3}$ であり、第2ウェルの表面不純物濃度は、 $0.5 \sim 5 \times 10^{16} \text{ cm}^{-3}$ であり、第2ウェルのピーク不純物濃度は、 $1 \sim 4 \times 10^{17} \text{ cm}^{-3}$ である、のが好ましい。ソース／ドレインおよび第2ウェルの不純物濃度をこのように比較的高濃度にするとソース／ドレインと第2ウェルとの接合耐圧が低下する。しかし、上記のように、本発明に係る半導体装置によれば、より低い電圧で不揮発性メモリトランジスタを動作させることができるので、ソース／ドレインと第2ウェルとの接合耐圧を低くしても、不揮発性メモリトランジスタを動作させることができる。

【0017】

ここで、第2ウェルの表面不純物濃度とは、第2ウェルの表面層の不純物濃度という意味である。第2ウェルのピーク不純物濃度とは、第2ウェル中の不純物濃度がピークとなる層における不純物濃度という意味である。

【0018】

なお、本発明において、第1、第2ウェルはレトログレードウェル（retrograde well）が好ましい。レトログレードウェルとは、不純物濃度のピークがウェルの深い位置にあり、深さ方向に沿って不純物濃度が高くなる構造をしたウェルである。

【0019】

なお、本発明に係る半導体装置によれば、より低い電圧で不揮発性メモリトランジスタを動作させることができるので、複雑の構成の昇圧回路でなくても本発明に係る半導体装置の昇圧回路にすることができる。

【0020】

本発明に係る半導体装置において、

不揮発性メモリトランジスタは、第1のゲート絶縁層と、第2のゲート絶縁層と、フローティングゲートと、コントロールゲートと、トンネル絶縁層として機能する中間絶縁層と、を備え、

第1のゲート絶縁層と第2のゲート絶縁層は、第2ウェル上であって、かつ一方のソース／ドレインと他方のソース／ドレインとの間に位置し、

フローティングゲートは第1のゲート絶縁層上に位置し、
中間絶縁層はフローティングゲート上に位置し
コントロールゲートは第2のゲート絶縁層上に位置し、かつ中間絶縁層を介し
てフローティングゲートに乗り上げている、のが好ましい。

【0021】

本発明に係る半導体装置において、
半導体基板は、異なる電圧レベルで動作される電界効果型トランジスタを含む
第1、第2および第3のトランジスタ領域を含み、
第1のトランジスタ領域は、第1の電圧レベルで動作される第1の電圧型トランジスタを含み、
第2のトランジスタ領域は、第2の電圧レベルで動作される第2の電圧型トランジスタを含み、
第3のトランジスタ領域は、第3の電圧レベルで動作される第3の電圧型トランジスタを含み、
第2の電圧型トランジスタは、そのゲート絶縁層が、少なくとも2層の絶縁層
からなり、かつ、第1の電圧型トランジスタのゲート絶縁層と同じ工程で形成さ
れた絶縁層を含む、のが好ましい。

【0022】

これによれば、少なくとも第1～第3の3つの異なる電圧レベルで動作される
第1～第3の電圧型トランジスタを有するので、これらの電圧レベルで動作可能
なロジックを搭載できる。そして、これらの電圧型トランジスタによって、不揮
発性メモリトランジスタの動作に必要なロジックはもちろんのこと、他の回路領
域も混載できる。

【0023】

また、第2の電圧型トランジスタのゲート絶縁層は、少なくとも2層の絶縁層
からなり、そのうちの1層は、第1の電圧型トランジスタのゲート絶縁層と同じ
工程で形成されるので、工程数を少なくできる。

【0024】

本発明に係る半導体装置において、第3の電圧型トランジスタは、そのゲート

絶縁層が、少なくとも3層の絶縁層からなり、かつ、第1の電圧型トランジスタのゲート絶縁層と同じ工程で形成された絶縁層を含むことが好ましい。これにより、第2および第3の電圧型トランジスタの各ゲート絶縁層は、第1の電圧型トランジスタのゲート絶縁層と同じ工程で形成されるので、さらに工程数を少なくできる。

【0025】

本発明に係る半導体装置において、不揮発性メモリトランジスタの中間絶縁層は、少なくとも3層の絶縁層からなり、フローティングゲートおよびコントロールゲートにそれぞれ接する第1および第2の最外層は熱酸化法によって形成された絶縁層からなることが好ましい。これらの最外層がフローティングゲートおよびコントロールゲートに接することにより、それぞれの界面準位が安定となる。その結果、FN伝導(Fowler-Nordheim tunneling)による電荷の移動が安定して行われ、不揮発性メモリトランジスタの動作が安定する。そして、中間絶縁層のコントロールゲートに接する最外層は、第1の電圧型トランジスタのゲート絶縁層と同一工程で形成されることが好ましい。これにより、工程数をさらに少なくできる。

【0026】

本発明に係る半導体装置において、中間絶縁層は、第1および第2の最外層の間に、CVD(Chemical Vapor Deposition)法によって形成された酸化シリコン層を有することが好ましい。このような酸化シリコン層を有することにより、フローティングゲートとコントロールゲートとの間の耐圧を高め、メモリセルの書き込みおよび読み出しの動作時の誤動作、すなわちライトディスターブおよびリードディスターブを防止できる。

【0027】

CVD法で形成される酸化シリコン層は、膜質の特性(緻密さ、酸素イオンの透過耐性など)を考慮すると、たとえば、モノシランやテトラエトキシシランなどを用いたHTO(High Temperature Oxide)法、または酸化剤としてオゾンを用いたTEOS(Tetraethyl Orthosilicate)法やプラズマTEOS法などによって形成されることが好ましい。

【0028】

第3の電圧型トランジスタは、そのゲート絶縁層が不揮発性メモリトランジスタの中間絶縁層と同一の工程で形成され、少なくとも三層の絶縁層からなることが好ましい。これにより、工程数の低減をさらに達成できる。

【0029】

各電圧型トランジスタのゲート絶縁層の膜厚は、該電圧型トランジスタの耐圧などを考慮すると、以下の範囲であることが好ましい。

【0030】

第1の電圧型トランジスタは、そのゲート絶縁層の膜厚が3～13nmであることが好ましい。

【0031】

第2の電圧型トランジスタは、そのゲート絶縁層の膜厚が4～15nmであることが好ましい。

【0032】

第3の電圧型トランジスタは、そのゲート絶縁層の膜厚が16～45nmであることが好ましい。

【0033】

また、不揮発性メモリトランジスタの中間絶縁層の膜厚は、トンネル絶縁層の特性などを考慮すると、16～45nmであることが好ましい。さらに、不揮発性メモリトランジスタは、その中間絶縁層を構成する第1の最外層の膜厚が5～15nmであり、第2の最外層の膜厚が1～10nmであることが望ましい。そして、中間絶縁層が第1および第2の最外層の間に形成された酸化シリコン層を含む場合、第1の最外層の膜厚が5～15nmであり、第2の最外層の膜厚が1～10nmであり、酸化シリコン層の膜厚が10～20nmであるのが好ましい。

【0034】

本発明に係る半導体装置において、フローティングゲートの上面に、選択酸化法によって形成された選択酸化絶縁層が設けられることが好ましい。この選択酸化絶縁層が形成されることにより、フローティングゲートの上縁部が鋭角になり

この領域で電界集中が生じやすくなり、電荷の移動がこの上縁部を介して行われる。

【0035】

各上記電圧型トランジスタを動作するための電圧レベルは、以下の範囲であることが好ましい。

【0036】

第1の電圧型トランジスタを動作する第1の電圧レベルは、絶対値で1.8～3.3Vであり、第2の電圧型トランジスタを動作する第2の電圧レベルは、絶対値で2.5～5Vであり、第3の電圧型トランジスタを動作する第3の電圧レベルは、絶対値で10～15Vであることが好ましい。

【0037】

本発明に係る半導体装置において、少なくともフラッシュメモリ（フラッシュEEPROM）を有し、フラッシュメモリは不揮発性メモリトランジスタのメモリセルアレイと周辺回路を含んで形成される。また、この半導体装置は、さらに、ロジックなどの他の回路領域を混載することができる。

【0038】

他の回路領域としては、例えばセルベース回路、ROM、RAMなどのメモリ回路、RISC (Reduced Instruction Set Computer)、IP (Intellectual Property) マクロ、アナログ回路などをあげることができる。

【0039】

第1の電圧型トランジスタは、Yゲート、センスアンプ、入出力バッファ、Xアドレスデコーダ、Yアドレスデコーダ、アドレスバッファおよびコントロール回路から選択される少なくとも1つの回路に含まれることができる。

【0040】

第2の電圧型トランジスタは、Yゲート、センスアンプ、入出力バッファ、Xアドレスデコーダ、Yアドレスデコーダおよびインターフェイス回路から選択される少なくとも1つの回路に含まれることができる。

【0041】

第3の電圧型トランジスタは、書き込み電圧発生回路、消去電圧発生回路および昇圧回路から選択される少なくとも1つの回路に含まれることができる。

【0042】

【発明の実施の形態】

{デバイスの構造}

図1は、本発明に係る不揮発性メモリトランジスタを含む半導体装置の断面を模式的に示す図である。この半導体装置のシリコン基板10は、メモリ領域400、第1のトランジスタ領域1000、第2のトランジスタ領域2000および第3のトランジスタ領域3000を含む。

【0043】

メモリ領域400は、スプリットゲート構造を有する不揮発性メモリトランジスタ（以下、「メモリトランジスタ」という）400を含む。第1のトランジスタ領域1000は、第1の電圧レベルV1（絶対値で1.8～3.3V）で動作される第1の電圧型トランジスタ100を含む。第2のトランジスタ領域2000は、第2の電圧レベルV2（絶対値で2.5～5V）で動作する第2の電圧型トランジスタ200を含む。第3のトランジスタ領域3000は、第3の電圧レベルV3（絶対値で10～15V）で動作される第3の電圧型トランジスタ300を含む。第1の電圧型トランジスタ100、第2の電圧型トランジスタ200および第3の電圧型トランジスタ300が用いられる回路の具体例については、後に述べる。

【0044】

メモリ領域400において、P型のシリコン基板10内にN型の第1ウェル11が形成されている。第1ウェル11内にP型の第2ウェル12が形成されている。そして、第2ウェル12内にメモリトランジスタ400が形成されている。シリコン基板10と第2ウェル12とは第1ウェル11によって分離されている。

【0045】

第1の電圧型トランジスタ100、第2の電圧型トランジスタ200および第3の電圧型トランジスタ300は、それぞれ、P型のシリコン基板10内に形成

された第1のウェル12内に形成されている。

【0046】

そして、メモリ領域4000、第1～第3のトランジスタ領域1000, 2000および3000は、それぞれフィールド絶縁層18によって分離されている。また、各領域1000～4000内において、各トランジスタは所定のパターンで形成されたフィールド絶縁層（図示せず）によって分離されている。なお、図示の例では第1～第3の電圧型トランジスタ100, 200および300は第2のウェル12内に形成されているが、ウェルを必要としない場合には基板に形成されていてもよい。例えば、Nチャネル型の第3の電圧型トランジスタは、ウェル内ではなく基板に形成されていてもよい。

【0047】

第1～第3のトランジスタ領域1000, 2000, 3000およびメモリ領域4000においては、それぞれNチャネル型およびPチャネル型のトランジスタを含むことができるが、図1においては説明を容易にするために、いずれか一方の導電型のトランジスタのみを図示している。

【0048】

メモリトランジスタ400は、第2ウェル12内に形成されたN⁺型不純物拡散層からなるソース16およびドレイン14と、第2ウェル12の表面に形成されたゲート絶縁層26とを有する。このゲート絶縁層26上には、フローティングゲート40と、中間絶縁層50と、コントロールゲート36とが順次形成されている。

【0049】

さらに、フローティングゲート40の上には、選択酸化絶縁層42が形成されている。この選択酸化絶縁層42は、後に詳述するように、フローティングゲートとなるポリシリコン層の一部に選択酸化によって形成され、中央から端部へ向けてその膜厚が薄くなる構造を有する。その結果、フローティングゲート40の上縁部は鋭角に形成され、この上縁部で電界集中が起きやすいようになっている。

【0050】

メモリトランジスタ400のゲート絶縁層26の膜厚は、メモリトランジスタ400の耐圧などを考慮して、好ましくは6~9nmである。

【0051】

中間絶縁層50は、選択酸化絶縁層42の上面からフローティングゲート40の側面に連続し、さらにシリコン基板10の表面に沿ってソース16の一端にいたるよう形成されている。この中間絶縁層50は、いわゆるトンネル絶縁層として機能する。さらに、中間絶縁層50は、3層の絶縁層（酸化シリコン層）からなり、下から順に、第1の絶縁層50a、第2の絶縁層50bおよび第3の絶縁層50cから構成されている。そして、第1および第3の絶縁層50aおよび50cは、熱酸化法によって形成された酸化シリコン層からなり、第2の絶縁層50bはCVD法によって形成された酸化シリコン層からなる。

【0052】

中間絶縁層50は、トンネル絶縁層としての機能などを考慮すると、その膜厚が好ましくは16~45nmである。また、第1の絶縁層50aの膜厚は、好ましくは5~15nmであり、第2の絶縁層50bの膜厚は、好ましくは10~20nmであり、第3の絶縁層50cの膜厚は、好ましくは1~10nmである。

【0053】

このようにトンネル絶縁層として機能する中間絶縁層50は、3層構造をなし、しかもフローティングゲート40およびコントロールゲート36に接する第1の絶縁層（第1の最外層）50aおよび第3の絶縁層（第2の最外層）50cは、熱酸化膜によって形成されている。このことにより、フローティングゲート40と第1の絶縁層50aとの界面準位が安定し、またコントロールゲート36と第3の絶縁層50cとの界面準位が安定する。その結果、FN伝導によるフローティングゲート40から中間絶縁層50を介してコントロールゲート36への電荷の移動が安定して行われ、メモリトランジスタ400の動作が安定する。このことは、メモリトランジスタ400における、データの書き込み／消去を繰り返すことのできる回数（サイクル寿命）の増大に寄与する。

【0054】

また、中間絶縁層50が、CVD法によって形成された酸化シリコン層からな

る第2の絶縁層50bを有することにより、フローティングゲート40とコントロールゲート36との間の耐圧を高め、メモリセルへの書き込みおよび読み出しの動作時の誤動作、すなわちライトディスターブおよびリードディスターブを防止できる利点がある。

【0055】

なお、第1ウェル11内にはN⁺型コンタクト領域15が形成されている。N⁺型コンタクト領域15の周囲にはフィールド絶縁層18が形成されている。N⁺型コンタクト領域15を介して第1ウェル11に電圧が印加される。また、第2ウェル12内にはP⁺型コンタクト領域13が形成されている。P⁺型コンタクト領域13の周囲にはフィールド絶縁層18が形成されている。P⁺型コンタクト領域13を介して第2ウェル12に電圧が印加される。

【0056】

第1の電圧型トランジスタ100は、Pチャネル型MOSトランジスタを例にとると、N型の第1のウェル12内に形成されたP⁺型不純物拡散層からなるソース16およびドレイン14と、第1のゲート絶縁層20と、第1のゲート電極30と、を有する。第1の電圧型トランジスタ100は、第1の電圧レベルV1（絶対値で1.8～3.3V）で駆動される。第1のゲート絶縁層20の膜厚は、第1の電圧型トランジスタ100の耐圧などを考慮して、好ましくは3～13nmである。

【0057】

第2の電圧型トランジスタ200は、Nチャネル型MOSトランジスタを例にとると、P型の第1のウェル12内に形成されたN⁺型不純物拡散層からなるソース16およびドレイン14と、第2のゲート絶縁層22と、第2のゲート電極32とを有する。第2のゲート絶縁層22は、2層の酸化シリコン層、すなわち第1の絶縁層22aと、第2の絶縁層22bとからなる。ここで、第2の絶縁層22bは、上述した第1の電圧型トランジスタ100の第1のゲート絶縁層20と同一の工程で形成される。

【0058】

第2の電圧型トランジスタ200は、第2の電圧レベルV2（絶対値で2.5

～5V)で駆動される。第2のゲート絶縁層22は、第2の電圧型トランジスタ200の耐圧などを考慮して、その膜厚が好ましくは4～15nmである。また、第1の絶縁層22aの膜厚は、好ましくは3～15nmであり、第2の絶縁層22bの膜厚は、好ましくは1～10nmである。

【0059】

第3の電圧型トランジスタ300は、Pチャネル型MOSトランジスタを例にとると、N型の第1のウェル12内に形成されたP⁺型不純物拡散層からなるソース16およびドレイン14と、第3のゲート絶縁層24と、第3のゲート電極34とを有する。第3のゲート絶縁層24は、3層の酸化シリコン層からなり、下から順に、第1の絶縁層24a、第2の絶縁層24bおよび第3の絶縁層24cからなる。これらの絶縁層24a、24bおよび24cは、上述したメモリトランジスタ400の中間絶縁層50を構成する第1の絶縁層50a、第2の絶縁層50bおよび第3の絶縁層50cと同じ工程で形成されることが望ましい。

【0060】

第3の電圧型トランジスタ300は、第3の電圧レベルV3(絶対値で10～15V)で駆動される。第3のゲート絶縁層24は、第3の電圧型トランジスタ300の耐圧などを考慮して、その膜厚が好ましくは16～45nmである。第1の絶縁層24aの膜厚は、好ましくは5～15nm、第2の絶縁層24bの膜厚は、10～20nm、および第3の絶縁層24cの膜厚は1～10nmである。

【0061】

メモリトランジスタ400、第1～第3の電圧型トランジスタ100、200および300が形成されたウェハ上には、層間絶縁層600が形成されている。この層間絶縁層600には、ソース16、ドレイン14、および各トランジスタ100、200、300、400のゲート電極に到達するコンタクトホールが形成され、これらのコンタクトホール内にはコンタクト導電層が形成されている。そして、層間絶縁層600の上には所定パターンの配線層80が形成されている。なお、図1においては、一部のコンタクト導電層および配線層を図示している。

【0062】

この半導体装置は、少なくとも3つの異なる電圧レベル（V1, V2, V3）で動作する第1～第3の電圧型トランジスタ100, 200, 300がそれぞれ形成された、第1～第3のトランジスタ領域1000, 2000, 3000を有する。この半導体装置によれば、メモリ領域4000のメモリトランジスタ400の動作が可能である。そして、この半導体装置では、フラッシュ（一括消去型）EEPROMの動作のためのロジックはもちろんのこと、フラッシュEEPROMと、各電圧レベルで動作可能な他の回路領域、たとえば、インターフェイス回路、ゲートアレイ回路、RAM, ROMなどのメモリ回路、RISC (Reduced Instruction Set Computer) あるいは各種IP (Intellectual Property) マクロなどの回路、あるいはその他のデジタル回路、アナログ回路などを、同一基板内に混載し、システムLSIを構成することができる。

【0063】

以下に、メモリトランジスタの動作方法、本発明の半導体装置を適用したエンベデット半導体装置および図1に示す半導体装置の製造方法について述べる。

【0064】

{メモリセルの動作方法}

次に、本発明の半導体装置を構成するメモリトランジスタ400の動作方法の一例について説明する。

【0065】

このスプリットゲート構造のメモリトランジスタ400を動作させる場合には、データの書き込み時には、ソース16とドレイン14間にチャネル電流を流し、電荷をフローティングゲート40に注入し（チャネルホットエレクトロン）、データの消去時には、所定の高電圧をコントロールゲート36に印加し、ファウラノルドハイムトンネルによってフローティングゲート42に蓄積された電荷をコントロールゲート36に移動させる。以下に、各動作について詳述する。

【0066】

まず、書き込み動作について述べる。

【0067】

データの書き込み動作においては、ドレイン14に対してソース16を高電位にし、コントロールゲート36に低電位を印加する。これにより、ドレイン14付近で発生するホットエレクトロンは、フローティングゲート40に向かって加速され、ゲート絶縁層26を介してフローティングゲート40に注入され、データの書き込みがなされる。

【0068】

この書き込み動作では、例えば、コントロールゲート36の電位(Vc)を $-3 \sim -4$ V、ソース16の電位(Vs)を $3 \sim 4$ V、ドレイン14の電位(Vd)を $-5 \sim -6$ V、第2ウェル12の電位(Vwell₂)を $-5 \sim -6$ V、第1ウェル11の電位(Vwell₁)を $0.9 \sim 3.3$ Vとする。

【0069】

次に、消去動作について説明する。

【0070】

消去動作においては、ソース16およびドレイン14の電位に対してコントロールゲート36の電位を高くする。これにより、フローティングゲート40内に蓄積された電荷は、フローティングゲート40の先鋒な上縁部からファウラノルドハイムトンネルによって中間絶縁層50を突き抜けてコントロールゲート36に放出されて、データが消去される。

【0071】

この消去動作では、例えば、コントロールゲート36の電位(Vc)を $6 \sim 7$ Vとし、ソース16およびドレイン14の電位VsおよびVdを $-5 \sim -6$ Vとし、第2ウェル12の電位(Vwell₂)を $-5 \sim -6$ V、第1ウェル11の電位(Vwell₁)を $0.9 \sim 3.3$ Vとする。

【0072】

次に読み出し動作について説明する。

【0073】

読み出し動作においては、ソース16に対してドレイン14を高電位とし、コントロールゲート36に所定の電圧を印加することにより、チャネルの形成の有無によって書き込まれたデータの判定がなされる。すなわち、フローティングゲ

ート40に電荷が注入されると、フローティングゲート40の電位が低くなるため、チャネルが形成されず、ドレイン電流が流れない。逆に、フローティングゲート40に電荷が注入されていないと、フローティングゲート40の電位が高くなるため、チャネルが形成されてドレイン電流が流れる。そこで、ドレイン14から流れる電流をセンスアンプによって検出することにより、メモリトランジスタ400のデータを読み出すことができる。

【0074】

読み出し動作においては、例えば、コントロールゲート36の電位(Vc)は0.9~3.3Vとし、ソース16の電位(Vs)を0Vとし、ドレイン14の電位(Vd)を0.9~2Vとし、第2ウェル12の電位(Vwell₂)を0V、第1ウェル11の電位(Vwell₁)を0.9~3.3Vとする。

【0075】

以上述べた各動作態様は一例であって、他の動作態様を採用することもできる。

【0076】

このように、本発明に係る半導体装置において、メモリトランジスタ400への書き込みおよび消去にプラス電圧とマイナス電圧を使用している。これは、P型のシリコン基板10とP型の第2ウェル12とがN型の第1ウェル11によつて分離されているので、第2ウェル12の電位をシリコン基板10の電位とは別に独立に設定することができるからである。このように、メモリトランジスタ400への書き込みおよび消去にプラス電圧とマイナス電圧を使用できるので、書き込み時および消去時に使用される一極性電圧が相対的に小さくても、メモリトランジスタ400への書き込みおよび消去を可能にできる。すなわち、書き込み時にソース16に印加される一極性電圧や消去時にコントロールゲート36に印加される一極性電圧が相対的に小さくても、第2ウェル12の電位が他極性電位なので、メモリトランジスタ400への書き込みおよび消去を可能にするのに十分な電位差を得ることができる。

【0077】

(エンベデット半導体装置への適用例)

図15は、本発明の半導体装置が適用された、エンベデット半導体装置500のレイアウトを示す模式図である。この例では、エンベデット半導体装置500は、フラッシュメモリ（フラッシュEEPROM）90と、SRAMメモリ92と、RISC94と、アナログ回路96と、インターフェイス回路98とがSOG（Sea Of Gate）に混載されている。

【0078】

図16は、フラッシュメモリの一般的な構成を示すブロック図である。フラッシュメモリは、メモリトランジスタが行列状に配置されたメモリセルアレイ1と、Yゲート、センスアンプ2と、入出力バッファ3と、Xアドレスデコーダ4と、Yアドレスデコーダ5と、アドレスバッファ6と、コントロール回路7とを含む。

【0079】

メモリセルアレイ1は、図1に示すメモリ領域4000に対応し、行列状に配置された複数個のスプリットゲート構造のメモリトランジスタ400を有する。メモリセルアレイ1の行および列を選択するために、メモリセルアレイ1にはXアドレスデコーダー4とYゲート2とが接続されている。Yゲート2には列の選択情報を与えるYアドレスデコーダ5が接続されている。Xアドレスデコーダ4とYアドレスデコーダ5には、それぞれ、アドレス情報が一時格納されるアドレスバッファ6が接続されている。

【0080】

Yゲート2には、データの書き込み動作を行なうための書き込み電圧発生回路（図示せず）、データの読み出し動作を行なうためのセンスアンプが接続されている。Xアドレスデコーダには、データの消去動作を行なうための消去電圧発生回路が接続されている。書き込み電圧発生回路およびセンスアンプ2には、それぞれ入出力データを一時格納する入出力バッファ3が接続されている。アドレスバッファ6と入出力バッファ3とには、フラッシュメモリの動作制御を行なうためのコントロール回路7が接続されている。コントロール回路7は、チップイネーブル信号、アウトプットイネーブル信号およびプログラム信号に基づいた制御を行なう。

【0081】

このようなエンベデット半導体装置5000においては、各回路の動作電圧に応じて各電圧レベルのトランジスタが選択される。

【0082】

第1の電圧レベルで動作される第1の電圧型トランジスタ100は、たとえば、Yゲート、センスアンプ、入出力バッファ、Xアドレスデコーダ、Yアドレスデコーダ、アドレスバッファ、コントロール回路、SOGおよびゲートアレイから選択される少なくとも1つの回路に含まれる。

【0083】

第2の電圧レベルで動作される第2の電圧型トランジスタ200は、たとえば、Yゲート、センスアンプ、入出力バッファ、Xアドレスデコーダ、Yアドレスデコーダおよびインターフェイス回路から選択される少なくとも1つの回路に含まれる。

【0084】

さらに、第3の電圧レベルで動作される第3の電圧型トランジスタ300は、たとえば、書き込み電圧発生回路、消去電圧発生回路および昇圧回路から選択される少なくとも1つの回路に含まれる。

【0085】

図15に示すエンベデット半導体装置5000はレイアウトの一例であって、本発明は各種のシステムLSIに適用できる。

【0086】

{デバイスの製造方法}

次に、図1に示す半導体装置の製造例を図2～図14を参照しながら説明する。

【0087】

(A) まず、図2に示すように、P型のシリコン基板10の表面に、選択酸化法によって所定の領域にフィールド絶縁層18を形成する。さらに、フィールド絶縁層18間のシリコン基板10の表面に、膜厚10～40nmの酸化膜19を形成する。次いで、シリコン基板10上にメモリ領域4000を露出するレジ

スト（但しレジストは図示せず）を形成する。このレジストをマスクとして、P型のシリコン基板10に選択的にイオン注入し、メモリ領域4000におけるシリコン基板10内に第1ウェル11を形成する。イオン注入の条件は以下のとおりである。

【0088】

イオン：リン (P^+)

ドース量： $1 \sim 3 \times 10^{13} \text{ cm}^{-2}$

注入エネルギー：1. 5~3 MeV

第1ウェル11はレトログレードウェルである。第1ウェル11の表面不純物濃度は、 $3 \sim 5 \times 10^{14} \text{ cm}^{-3}$ であり、ピーク不純物濃度は、 $1 \sim 3 \times 10^{17} \text{ cm}^{-3}$ である。第1ウェル11の接合深さは、1. 5~3 μmである。

【0089】

(B) 図3に示すように、P型のシリコン基板10上に第1ウェル11を露出するレジスト（但しレジストは図示せず）およびP型のシリコン基板10上に第2のトランジスタ領域2000を露出するレジスト（但しレジストは図示せず）を形成する。このレジストをマスクとして、P型のシリコン基板10に選択的にイオン注入し、メモリ領域4000における第1ウェル11内、第2のトランジスタ領域2000におけるシリコン基板10内に、それぞれ、P型の第2ウェル12を形成する。イオン注入の条件は以下のとおりである。

【0090】

イオン：ボロン (B^+)

ドース量： $1 \sim 3 \times 10^{13} \text{ cm}^{-2}$

注入エネルギー：600 keV~1. 5 MeV

P型の第2ウェル12はレトログレードウェルである。P型の第2ウェル12の表面不純物濃度は、 $0. 5 \sim 5 \times 10^{16} \text{ cm}^{-3}$ であり、ピーク不純物濃度は、 $1 \sim 4 \times 10^{17} \text{ cm}^{-3}$ である。P型の第2ウェル12の接合深さは、0. 8~1. 5 μmである。

【0091】

なお、P型の第2ウェル12は一回のイオン注入ではなく、複数回のイオン注

入で形成してもよい。例えば、以下の二回のイオン注入で形成することができる

【0092】

第1回

イオン：ボロン (B^+)

ドース量： $1 \sim 3 \times 10^{13} \text{ cm}^{-2}$

注入エネルギー： $600 \text{ keV} \sim 1.5 \text{ MeV}$

第2回

イオン：ボロン (B^+)

ドース量： $1 \sim 5 \times 10^{12} \text{ cm}^{-2}$

注入エネルギー： $100 \sim 200 \text{ keV}$

そして、P型のシリコン基板10上に第1のトランジスタ領域1000および第3のトランジスタ領域3000を露出するレジスト（但しレジストは図示せず）を形成する。このレジストをマスクとして、P型のシリコン基板10に選択的にイオン注入し、第1のトランジスタ領域1000におけるシリコン基板10内、第3のトランジスタ領域3000におけるシリコン基板10内に、それぞれ、N型の第2ウェル12を形成する。イオン注入の条件は以下のとおりである。

【0093】

イオン：リン (P^+)

ドース量： $1 \sim 3 \times 10^{13} \text{ cm}^{-2}$

注入エネルギー： $1 \sim 2 \text{ MeV}$

N型の第2ウェル12はレトログレードウェルである。N型の第2ウェル12の表面不純物濃度は、 $0.5 \sim 5 \times 10^{16} \text{ cm}^{-3}$ であり、ピーク不純物濃度は、 $1 \sim 4 \times 10^{17} \text{ cm}^{-3}$ である。N型の第2ウェル12の接合深さは、 $0.8 \sim 1.5 \mu\text{m}$ である。

【0094】

なお、N型の第2ウェル12は一回のイオン注入ではなく、複数回のイオン注入で形成してもよい。例えば、以下の二回のイオン注入で形成することができる

【0095】

第1回

イオン：リン (P^+)ドース量： $1 \sim 3 \times 10^{13} \text{ cm}^{-2}$ 注入エネルギー： $1 \sim 2 \text{ MeV}$

第2回

イオン：リン (P^+)ドース量： $1 \sim 5 \times 10^{12} \text{ cm}^{-2}$ 注入エネルギー： $300 \sim 500 \text{ keV}$

そして、図2に示す酸化膜19を、公知の方法を用いて除去する。

【0096】

さらに、シリコン基板10の表面に、例えば熱酸化法によって酸化シリコン層26Lを形成する。この酸化シリコン層26Lは、メモリトランジスタ400のゲート絶縁層26となる。この酸化シリコン層26Lは、ゲート耐圧などを考慮して好ましくは6～9nmの厚さを有する。

【0097】

(C) 次いで、図4に示すように、酸化シリコン層26Lの表面に、例えばCVD法を用いてポリシリコン層40Lを形成する。このポリシリコン層40Lは、メモリトランジスタ400のフローティングゲート40となる。このポリシリコン層40Lは、例えば100～200nmの厚さを有する。

【0098】

次いで、ポリシリコン層40Lの表面に、第1の窒化シリコン層60Lを形成する。第1の窒化シリコン層60Lは、好ましくは50～150nmの膜厚を有する。その後、レジスト層R1をマスクとして窒化シリコン層60Lの所定領域を選択的にエッチングして除去する。第1の窒化シリコン層60Lの除去される領域は、メモリトランジスタ400の選択酸化絶縁層42が形成される領域である。

【0099】

次いで、第1の窒化シリコン層60L上に形成されたレジスト層R1をマスク

として、ポリシリコン層40Lにリンやひ素を拡散してN型のポリシリコン層40Lを形成する。ポリシリコン層をN型にする他の方法としては、ポリシリコン層を形成した後、リンやひ素イオンを注入する方法、ポリシリコン層を形成した後、塩化ホスホリル(POCl_3)を含んだキャリアガスを導入する方法、あるいはポリシリコン層を形成する時に、ホスフィン(PH_3)を含んだキャリアガスを導入する方法、などがある。

【0100】

次いで、レジスト層R1を除去する。

【0101】

(D) 次いで、図5に示すように、ポリシリコン層40Lの露出部分を選択的に酸化することにより、ポリシリコン層40Lの所定領域の表面に選択酸化絶縁層42を形成する。選択酸化によって形成された選択酸化絶縁層42は、中央部の膜厚が最も大きく、端部に向かって徐々に膜厚が小さくなる形状を有する。選択酸化絶縁層42は、最も膜厚が大きい部分で好ましくは100～200nmの膜厚を有する。その後、第1の窒化シリコン層60Lを除去する。

【0102】

(E) 次いで、図6に示すように、選択酸化絶縁層42をマスクとしてエッチングを行ない、ポリシリコン層40Lを選択的に除去する。

【0103】

以上の工程で、メモリ領域4000において、ゲート絶縁層26、フローティングゲート40および選択酸化絶縁層42が形成される。

【0104】

(F) 次いで、図7に示すように、酸化シリコン層26Lをウェットエッチングで除去した後、ウエハの表面に、熱酸化法によって1層目の酸化シリコン層50aL(24aL)を形成する。この酸化シリコン層50aL(24aL)は、メモリトランジスタ400の中間絶縁層50を構成する第1の絶縁層50a、および第3の電圧型トランジスタ300のゲート絶縁層24を構成する第1の絶縁層24aとなる。この酸化シリコン層50aL(24aL)は、例えば5～15nmの厚さを有する。

【0105】

酸化シリコン層を形成するための熱酸化法としては、以下の方法を好ましく用いることができる。

【0106】

- (a) 700～1000°Cでのドライ酸化を行う方法、
- (b) 上記(a)のドライ酸化の後に、さらに、700～1000°Cでウェット酸化を行う方法、および
- (c) 上記(a)または(b)の後に、さらに、700～1000°Cで窒素雰囲気中で10～30分間アニール処理する方法。

【0107】

上記(a)のドライ酸化を用いることにより、フローティングゲート40の表面の多結晶シリコンのグレインサイズを均一化でき、さらにフローティングゲート40の表面の平坦性を向上させることができる。その結果、フローティングゲート40の界面準位がより安定化するとともに、電子の捕獲が低減でき、メモリトランジスタの書き込み／消去のサイクル寿命をより長くすることができる。

【0108】

さらに、上記(a)のドライ酸化の後に、上記(b)のウェット酸化および上記(c)のアニール処理の少なくとも一方の工程を追加することにより、酸化シリコン層50aLをより緻密化して、電子捕獲の低減など、膜質の特性を向上させることができる。

【0109】

(G) 次いで、図8に示すように、1層目の酸化シリコン層50aL(24aL)の表面に、さらに2層目の酸化シリコン層50bL(24bL)を形成する。この酸化シリコン層50bL(24bL)は、CVD法により形成される。酸化シリコン層50bL(24bL)は、メモリトランジスタ400の中間絶縁層50を構成する第2の絶縁層50b、および第3の電圧型トランジスタ300のゲート絶縁層24を構成する第2の絶縁層24bとなる。そして、このシリコン絶縁層50bL(24bL)は、例えば10～20nmの厚さを有する。

【0110】



ここで用いられるCVD法としては、得られる膜の緻密さ、後工程の熱酸化での酸素イオンの透過耐性等を考慮すると、モノシラン、テトラエトキシシランなどを用いたHTO (High Temperature Oxide) 法、または酸化剤としてオゾンを用いたTEOS (Tetraethyl Orthosilicate) 法やプラズマTEOS法などを好ましく用いることができる。

【0111】

次いで、酸化シリコン層 50 bL (24 bL) の表面に、第2の窒化シリコン層 62 L を形成する。この第2の窒化シリコン層 62 L は、好ましくは $10\sim20\text{ nm}$ の膜厚を有する。第2の窒化シリコン層 62 L を形成することにより、後の工程 (J) で、第2の窒化シリコン層 62 L を除去することにより、メモリトランジスタ 400 の中間絶縁層 50 および第3の電圧型トランジスタ 300 のゲート絶縁層 24 の膜厚を必要以上に厚くすることがなく、膜厚の制御が正確となる。その後、 $700\sim1000^\circ\text{C}$ で $20\sim40$ 分間程度アニール処理を行い、各絶縁層を緻密にする。

【0112】

(H) 次いで、図9に示すように、第2のトランジスタ領域 2000 に開口部を有するレジスト層R3を形成する。このレジスト層R3をマスクとして第2のトランジスタ領域 2000 における、第2の窒化シリコン層 62 L 、上層の酸化シリコン層 50 bL および下層の酸化シリコン層 50 aL をドライエッチングおよびウェットエッチングにより除去する。その後、レジスト層R3を除去する。

【0113】

(I) 次いで、図10に示すように、ウエハの表面に熱酸化、例えば $700\sim900^\circ\text{C}$ でウェット酸化することによって、3層目の酸化シリコン層 22 aL を形成する。この酸化シリコン層 22 aL は、第2の電圧型トランジスタ 200 のゲート絶縁層 22 を構成する第1の絶縁層 22 a となる。酸化シリコン層 22 aL は、例えば $3\sim15\text{ nm}$ の厚さを有する。

【0114】

(J) 次いで、図11に示すように、第2のトランジスタ領域 2000 にお

ける酸化シリコン層22aLの表面に、レジスト層R4を形成する。レジスト層R4をマスクとして、第2の窒化シリコン層62Lをドライエッチングによって除去する。その後、レジスト層R4を除去する。

【0115】

(K) 次いで、図12に示すように、第1のトランジスタ領域1000に開口部を有するレジスト層R5を形成する。このレジスト層R5をマスクとして、第1のトランジスタ領域1000における2層の酸化シリコン層50bLおよび50aLをウェットエッチングによって除去する。その後、レジスト層R5を除去する。

【0116】

(L) 次いで、図13に示すように、熱酸化、例えば700～900℃でウェット酸化することにより、ウエハの表面に4層目の酸化シリコン層20L(50cL, 22bL, 24cL)を形成する。この酸化シリコン層20Lは、第1の電圧型トランジスタ100のゲート絶縁層20、第2の電圧型トランジスタ200のゲート絶縁層22を構成する第2の絶縁層22b、第3の電圧型トランジスタ300のゲート絶縁層24を構成する第3の絶縁層24c、およびメモリトランジスタ400の中間絶縁層50を構成する第3の絶縁層50cとなる。酸化シリコン層20Lは、例えば1～10nmの厚さを有する。

【0117】

以上の工程によって、メモリトランジスタ400の中間絶縁層50、第1の電圧型トランジスタ100のゲート絶縁層20、第2の電圧型トランジスタ200のゲート絶縁層22および第3の電圧型トランジスタ300のゲート絶縁層24を構成するための絶縁層が形成される。

【0118】

(M) 次いで、図14に示すように、ウエハの表面に、前記(C)の工程で述べたと同様な方法によりポリシリコン層を形成する。あるいは公知の方法でポリシリコン層の代わりに、ポリサイド層を形成する。このポリシリコン層上に所定のパターンを有するレジスト層を形成した後、エッチングによってパターニングを行って、メモリトランジスタ400、第1の電圧型トランジスタ100、第

2の電圧型トランジスタ200および第3の電圧型トランジスタ300のそれぞれのゲート絶縁層とゲート電極を形成する。このとき、シリコン基板10の露出面に、シリコン酸化層が1~5nmの膜厚で残る状態でエッチングが行われる。

【0119】

(N) 次いで、図1に示すように、公知の方法により、N型不純物を、第1ウェル11の所定領域、P型の第2ウェル12の所定領域にドープすることにより、それぞれの領域にN⁺型コンタクト領域15、N⁺型のソース16およびドレイン14を形成する。また、公知の方法により、P型不純物を、N型の第2ウェル12の所定領域、メモリ領域4000の第2ウェル12の所定領域にドープすることにより、それぞれの領域にP⁺型のソース16およびドレイン14、P⁺型コンタクト領域13を形成する。これらの不純物拡散層の不純物濃度は、1~8×10²⁰cm⁻³である。

【0120】

次いで、トランジスタ100, 200, 300およびメモリトランジスタ400が形成されたウエハの表面に、例えばCVD法を用いて酸化シリコン層からなる層間絶縁層600を形成する。そして、層間絶縁層600の所定領域を選択的にエッチング除去し、ソース16、ドレイン14、P⁺型コンタクト領域13およびN⁺型コンタクト領域15に到達するコンタクトホールを形成する。次いで、層間絶縁層600の上面およびコンタクトホール内に例えばスパッタリングを用いてアルミニウムなどからなる導電層を堆積する。この、導電層をパターニングすることにより、不純物拡散層と電気的に接続された金属配線層（例えばビット線、ソース線）80を形成する。

【0121】

以上述べた製造方法においては、メモリ領域4000、第1のトランジスタ領域1000、第2のトランジスタ領域2000および第3のトランジスタ領域3000で、それぞれメモリトランジスタ400、第1の電圧型トランジスタ100、第2の電圧型トランジスタ200および第3の電圧型トランジスタ300を一連の工程で形成することができる。この製造方法によれば、スプリットゲート構造を有するメモリトランジスタと少なくとも異なる3つの電圧レベルで動作す

るトランジスタを混載した半導体装置を少ない工程で製造することができる。

【0122】

この製造方法においては、第2の電圧型トランジスタ200のゲート絶縁層22を構成する第2の絶縁層22bは、第1の電圧型トランジスタ100のゲート絶縁層20と同一の工程で形成される。同様に、第3の電圧型トランジスタ300のゲート電極層24を構成する第3の絶縁層24c、およびメモリトランジスタ400の中間絶縁層50を構成する第3の絶縁層50cは、第1の電圧型トランジスタ100のゲート電極層20と同一の工程で形成される。また、第3の電圧型トランジスタ300のゲート絶縁層24を構成する第1～第3の絶縁層24a、24b、24cは、メモリトランジスタ400の中間絶縁層50を構成する第1～第3の絶縁層50a、50b、50cと、それぞれ同一の工程で形成される。このようにゲート絶縁層および中間絶縁層の形成工程を共通化することにより、耐圧の異なる、すなわち膜厚の異なるゲート絶縁層を少ない工程で形成することができる。

【0123】

この製造方法においては、前記工程(F)および(G)で、中間絶縁層(トンネル絶縁層)50の第1および第2の絶縁層50aおよび50bを構成するための酸化シリコン層50aLおよび50bLを形成した後、第2の窒化シリコン層62Lを形成する。このことにより、後工程での熱酸化もしくはその前後での洗浄工程において、酸化シリコン層50aLおよび50bLは窒化シリコン層62Lで覆われて保護されているので、熱酸化工程および洗浄工程の酸化シリコン層への影響を抑制できる。その結果、膜特性に優れたトンネル絶縁層を得ることができ、信頼性の高いメモリ特性を実現できる。

【0124】

さらに、酸化シリコン層50aLおよび50bLの上に第2の窒化シリコン層62Lを形成した状態で、熱処理(酸化処理での熱処理も含む)を行うことにより、酸化シリコン層の緻密化ならびに酸化シリコン層の膜質の向上がなされる。その結果、メモリ特性、特にデータの書き込み、消去の回数(サイクル寿命)を増すことができる。

【0125】

なお、本実施の形態において、メモリ領域4000にメモリトランジスタ以外のトランジスタを形成することもできる。メモリ領域4000には、第1ウェル11が形成されている。このため、このトランジスタが形成されている第2ウェル12の電位を、シリコン基板10の電位とは別に独立に設定することができる。したがって、ソース、ドレインに印加する電位の絶対値を低減することができる。よって、各接合耐圧の設計値を低減することができるので、素子の設計が容易となる。これは、この素子を用いた回路（例えば、昇圧回路）の設計が容易となることを意味する。

【図面の簡単な説明】

【図1】

本発明に係る半導体装置を模式的に示す断面図である。

【図2】

図1に示す半導体装置の製造工程を示すウエハの断面図である。

【図3】

図1に示す半導体装置の製造工程を示すウエハの断面図である。

【図4】

図1に示す半導体装置の製造工程を示すウエハの断面図である。

【図5】

図1に示す半導体装置の製造工程を示すウエハの断面図である。

【図6】

図1に示す半導体装置の製造工程を示すウエハの断面図である。

【図7】

図1に示す半導体装置の製造工程を示すウエハの断面図である。

【図8】

図1に示す半導体装置の製造工程を示すウエハの断面図である。

【図9】

図1に示す半導体装置の製造工程を示すウエハの断面図である。

【図10】

図1に示す半導体装置の製造工程を示すウエハの断面図である。

【図1 1】

図1に示す半導体装置の製造工程を示すウエハの断面図である。

【図1 2】

図1に示す半導体装置の製造工程を示すウエハの断面図である。

【図1 3】

図1に示す半導体装置の製造工程を示すウエハの断面図である。

【図1 4】

図1に示す半導体装置の製造工程を示すウエハの断面図である。

【図1 5】

本発明の半導体装置を適用したエンベデット半導体装置の一例を模式的に示す平面図である。

【図1 6】

図1 5に示すエンベデット半導体装置のフラッシュメモリのブロック図である

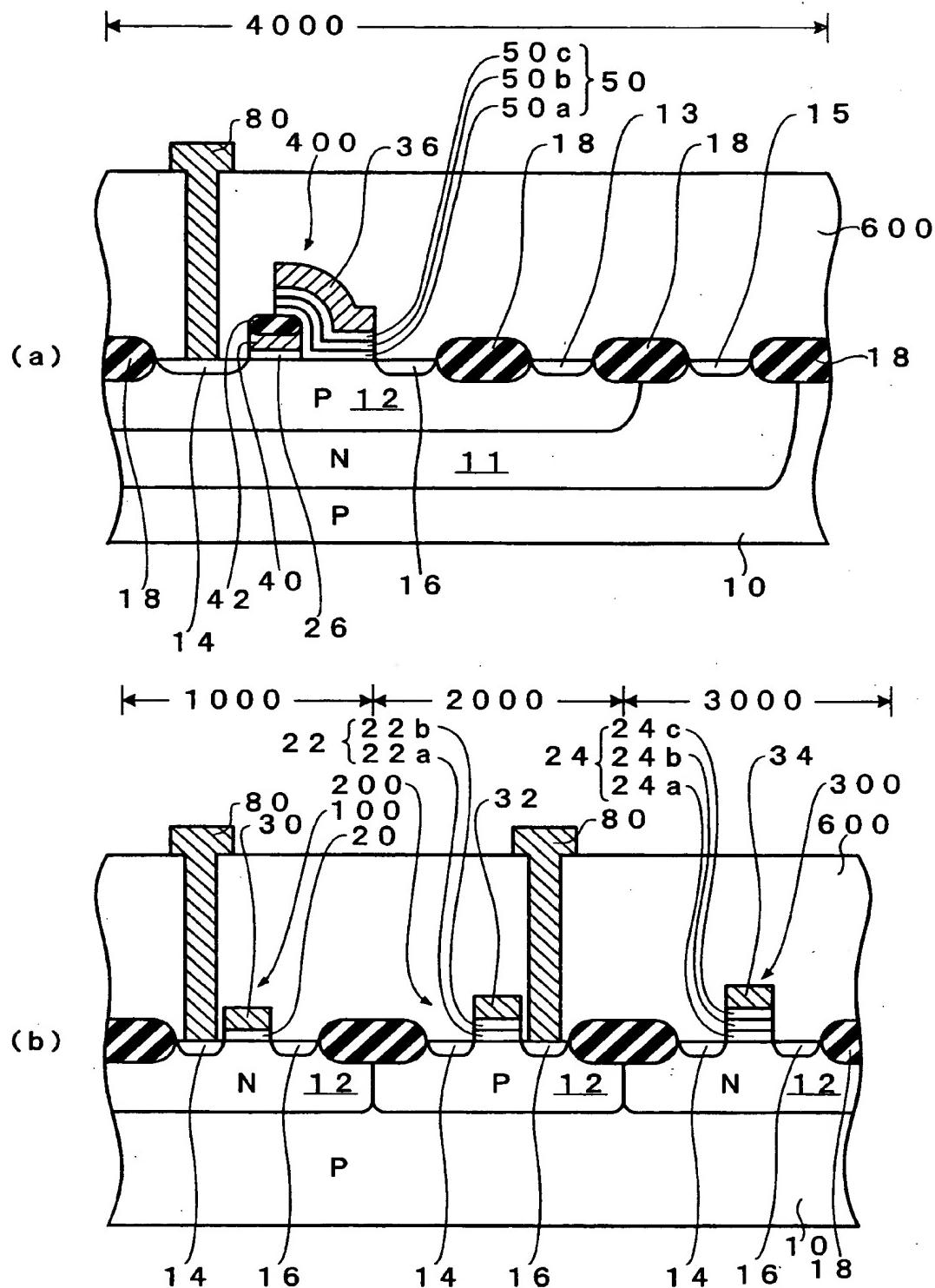
【符号の説明】

- 1 0 シリコン基板
- 1 1 第1ウェル
- 1 2 第2ウェル
- 1 3 P⁺型コンタクト領域
- 1 4 ドレイン
- 1 5 N⁺型コンタクト領域
- 1 6 ソース
- 1 8 フィールド絶縁層
- 2 0, 2 2, 2 4, 2 6 ゲート絶縁層
- 2 2 a, 2 2 b 絶縁層
- 2 4 a, 2 4 b, 2 4 c 絶縁層
- 3 0, 3 2, 3 4 ゲート電極
- 3 6 コントロールゲート

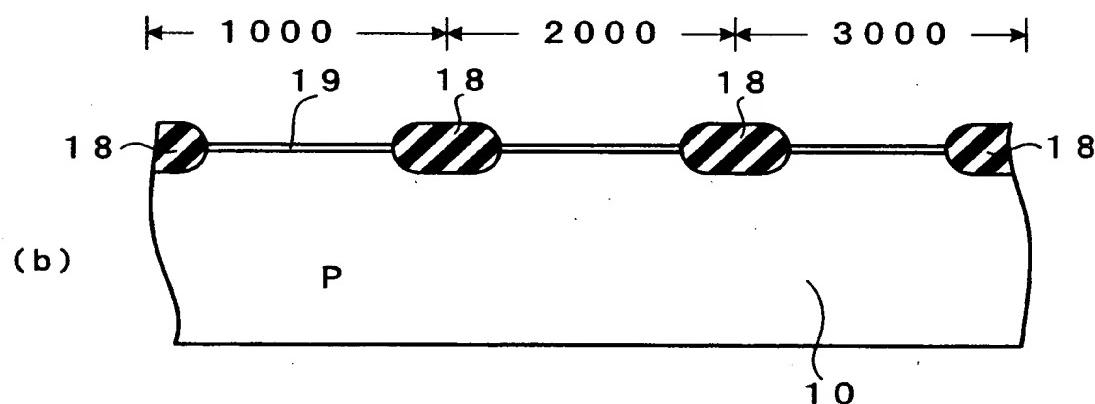
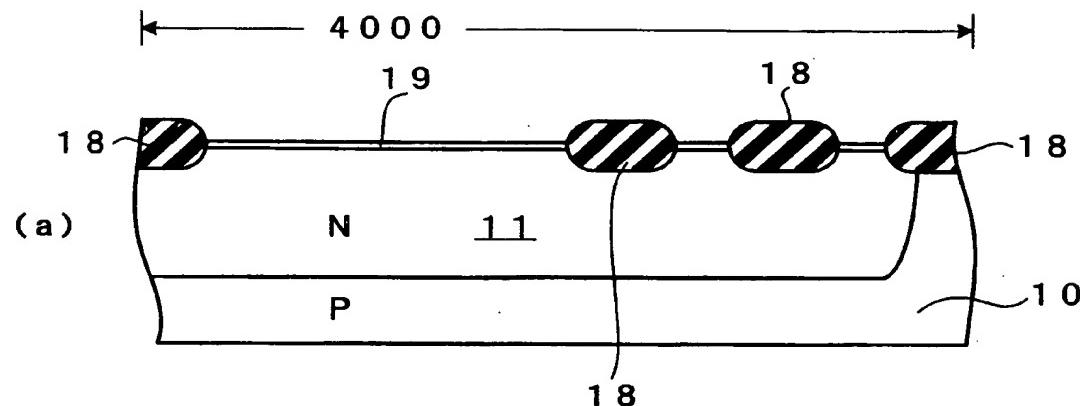
40 フローティングゲート
42 選択酸化絶縁層
50 中間絶縁層
50a, 50b, 50c 絶縁層
60L, 62L 窒化シリコン層
90 フラッシュメモリ
100 第1の電圧型トランジスタ
200 第2の電圧型トランジスタ
300 第3の電圧型トランジスタ
400 スプリットゲート構造のメモリトランジスタ
1000 第1のトランジスタ領域
2000 第2のトランジスタ領域
3000 第3のトランジスタ領域
4000 メモリ領域
5000 エンベデット半導体装置

【書類名】 図面

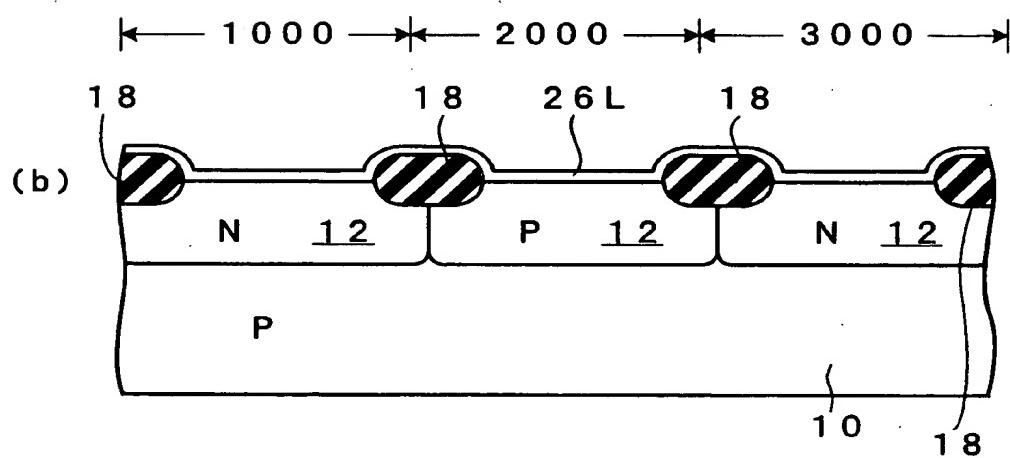
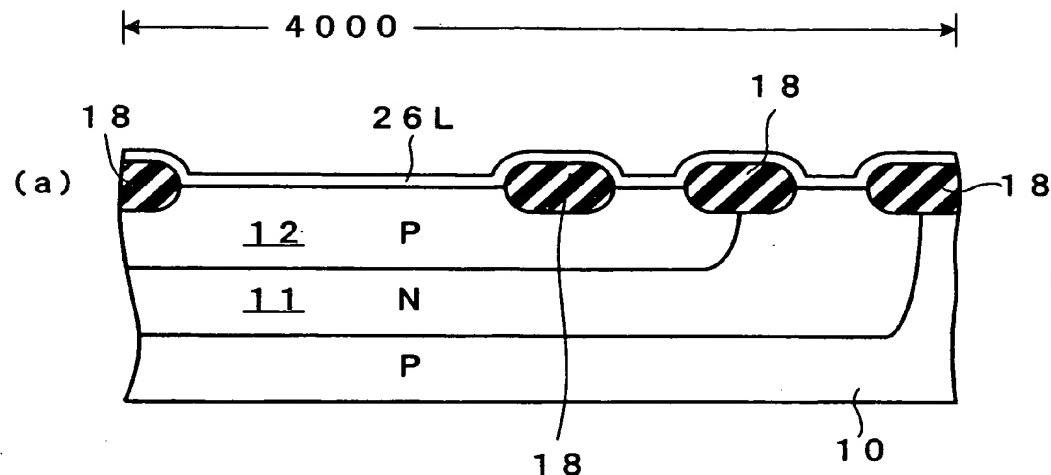
【図 1】



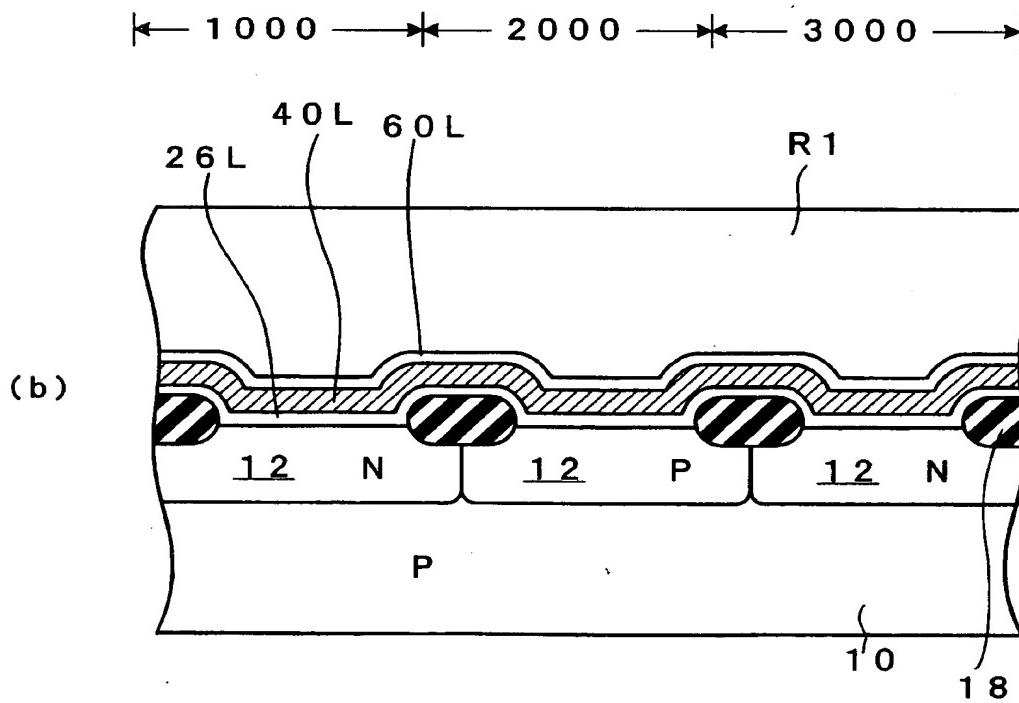
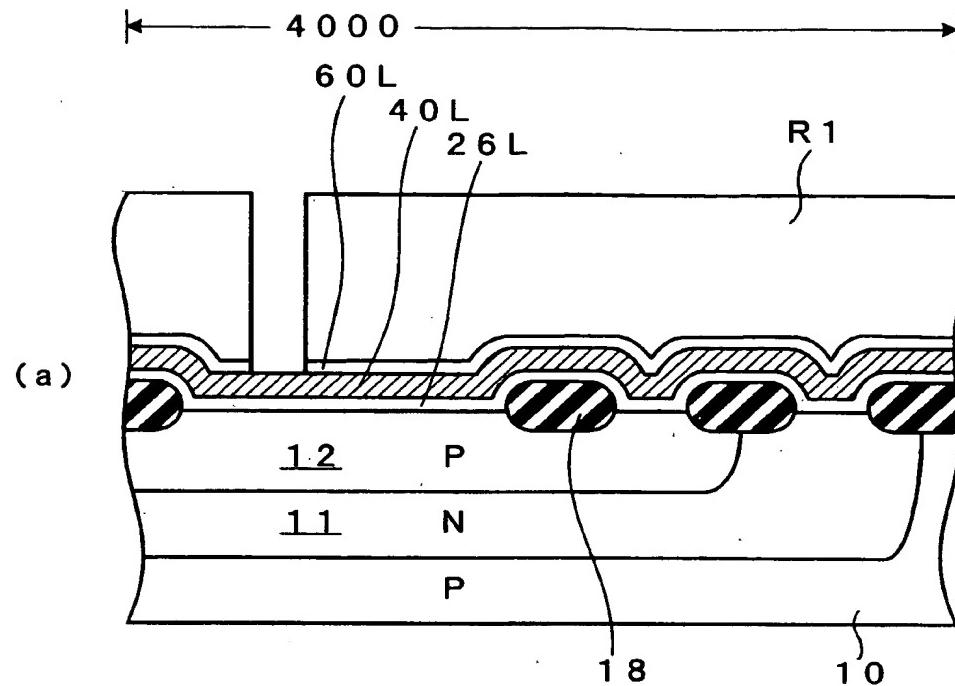
【図2】



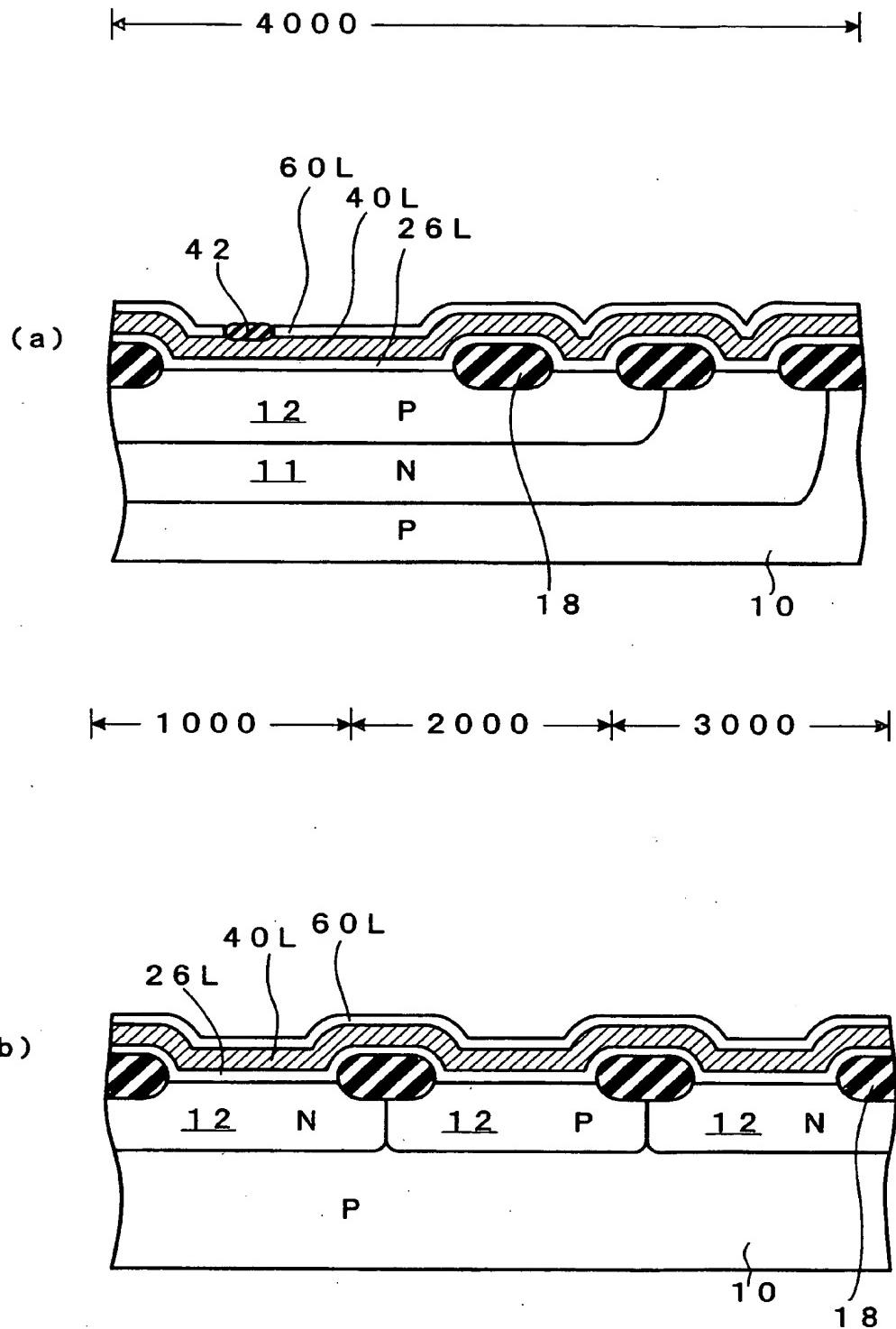
【図3】



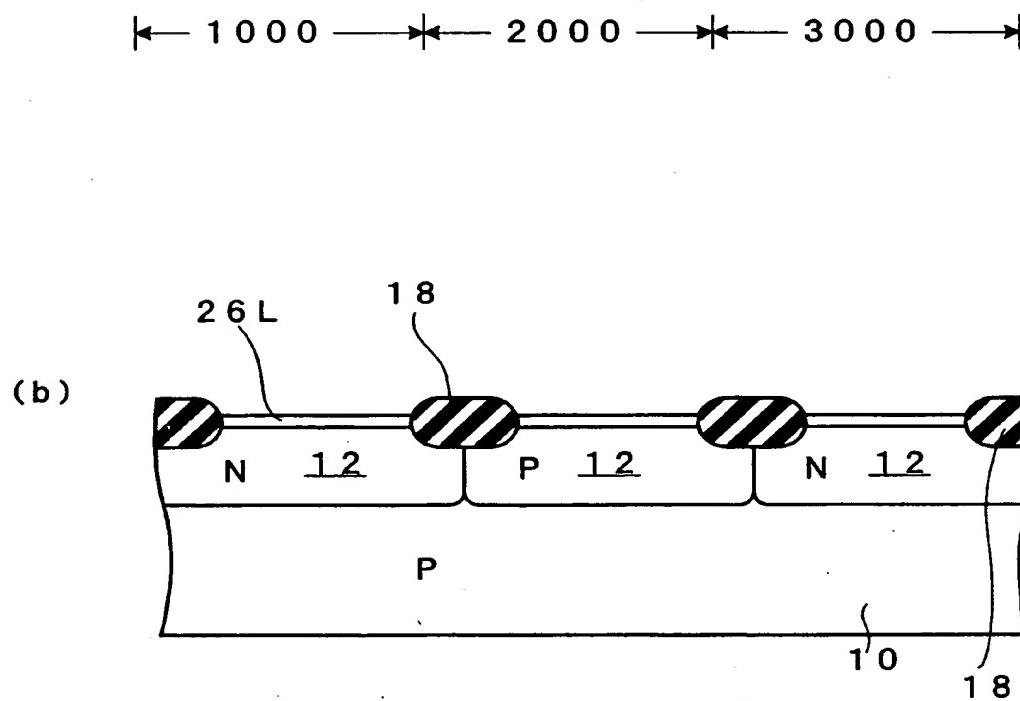
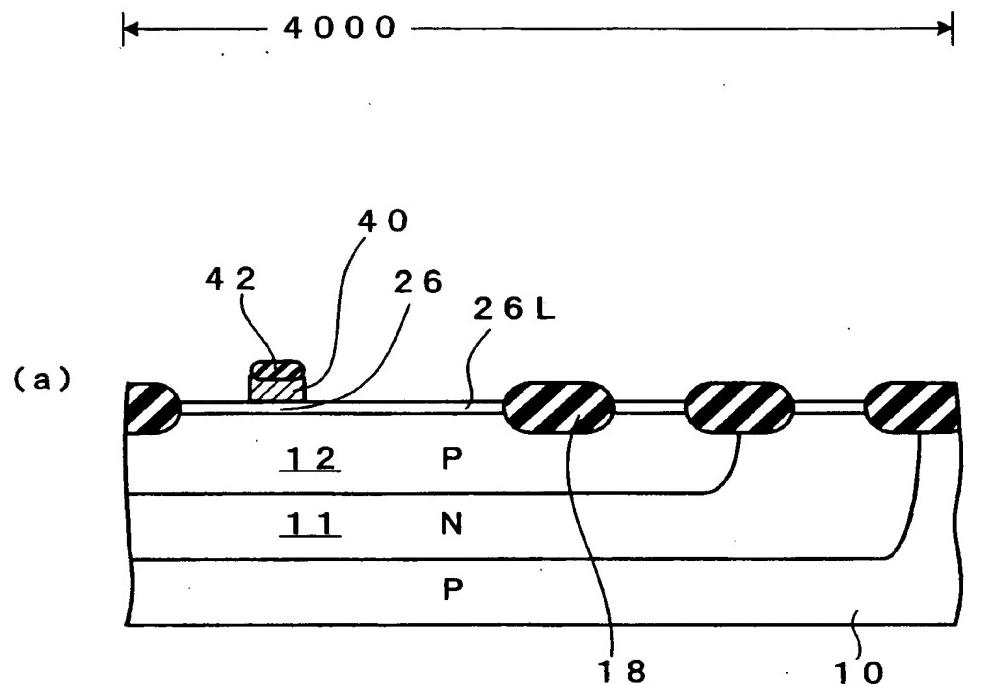
【図4】



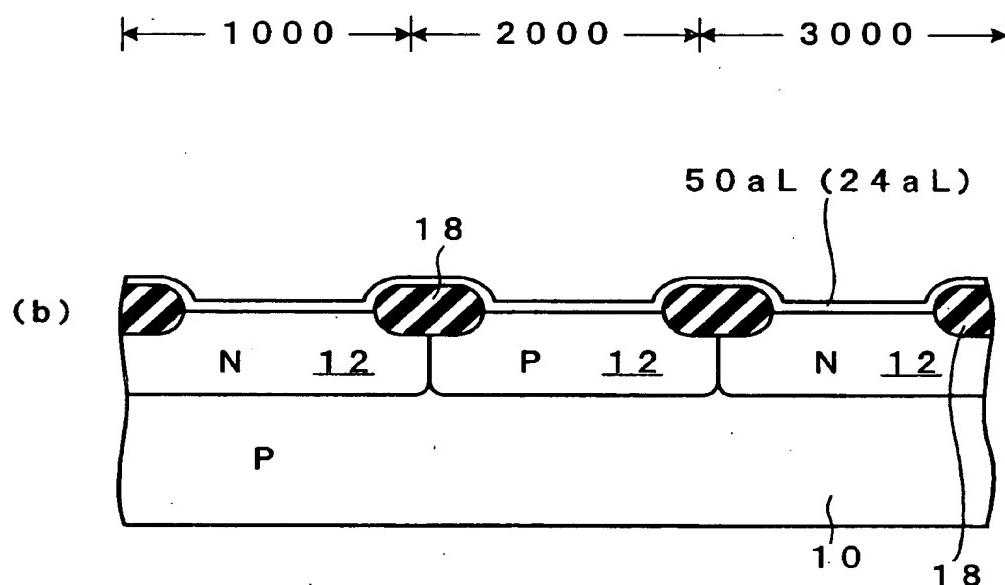
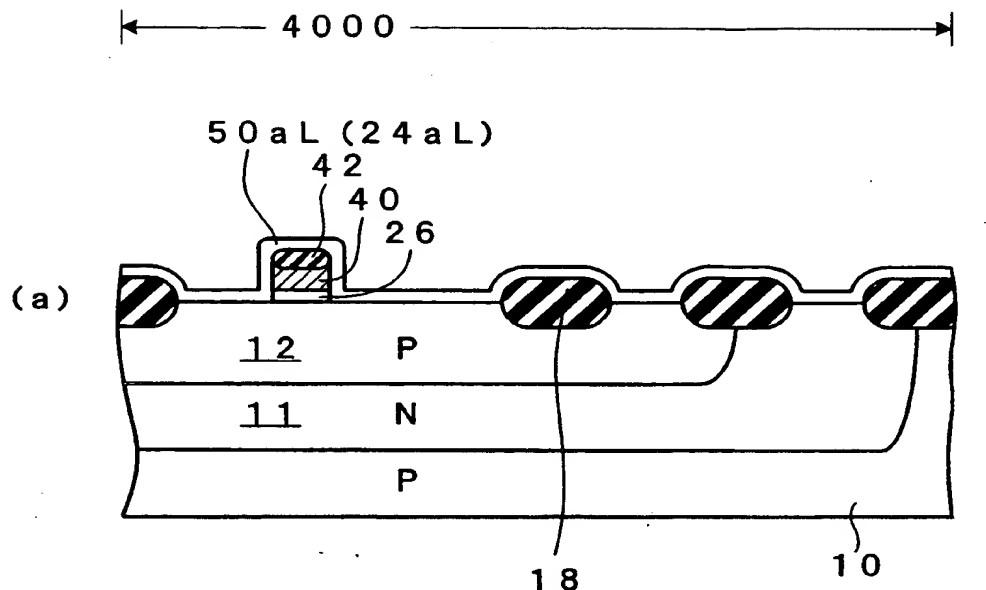
【図5】



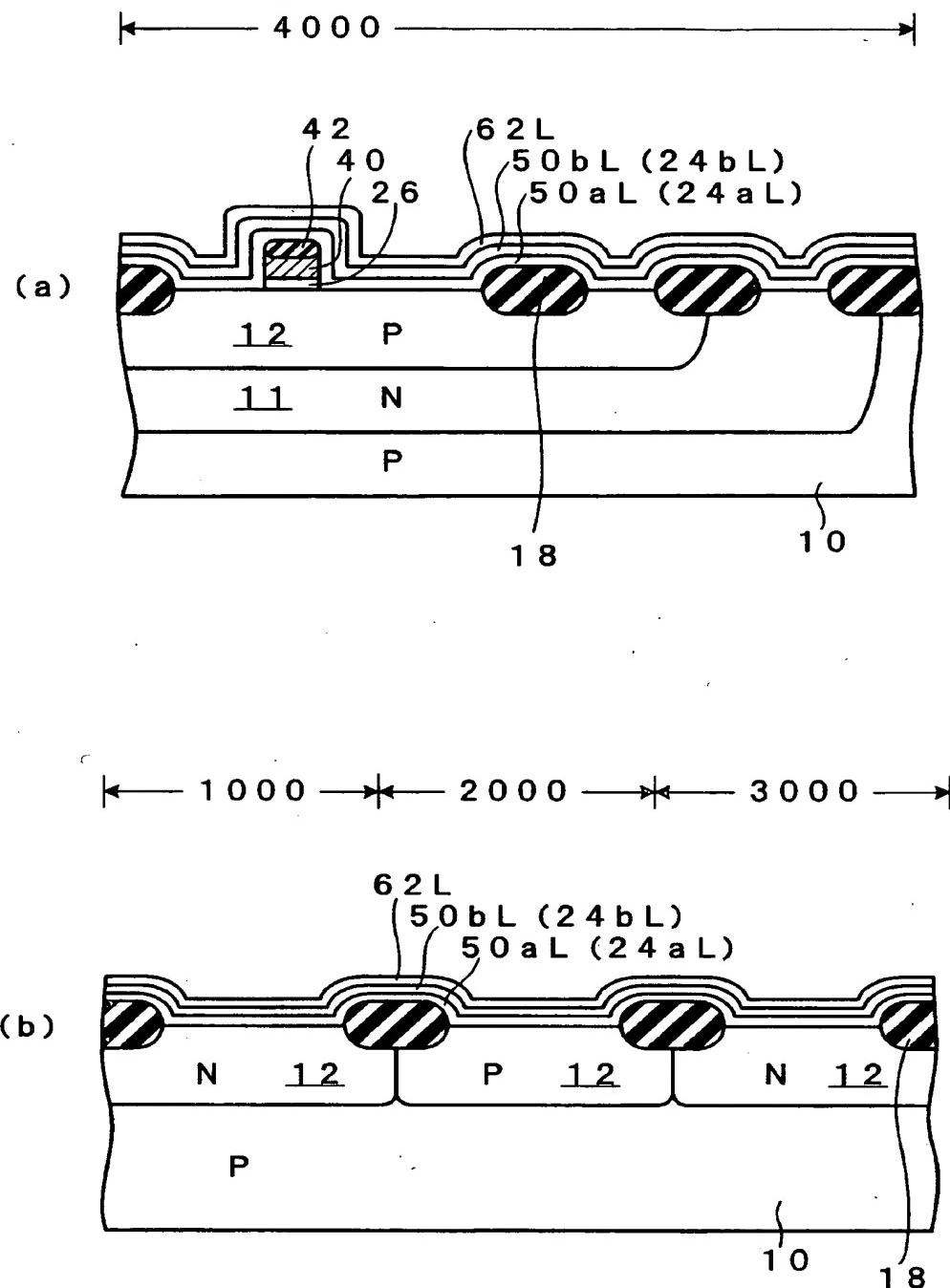
【図6】



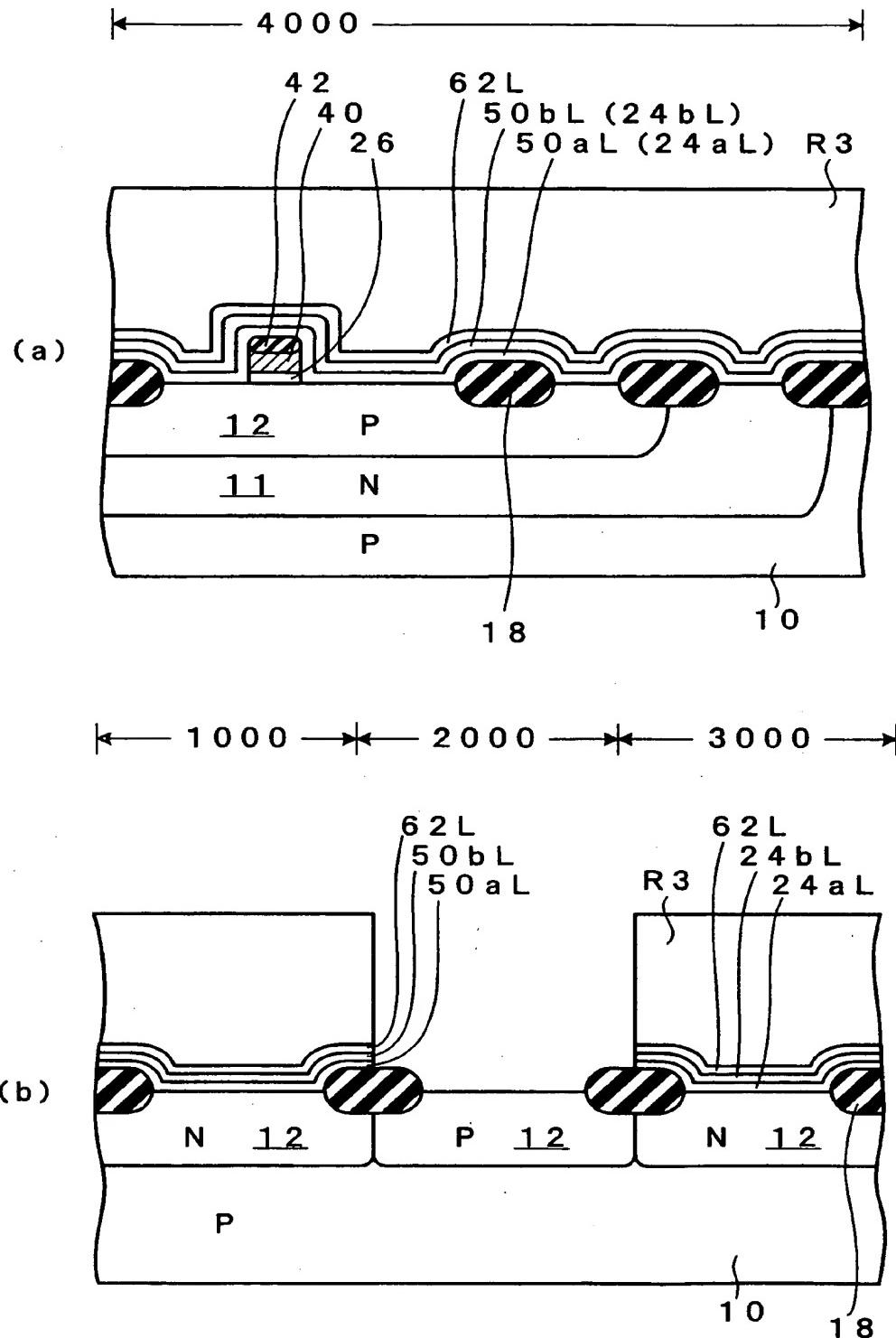
【図7】



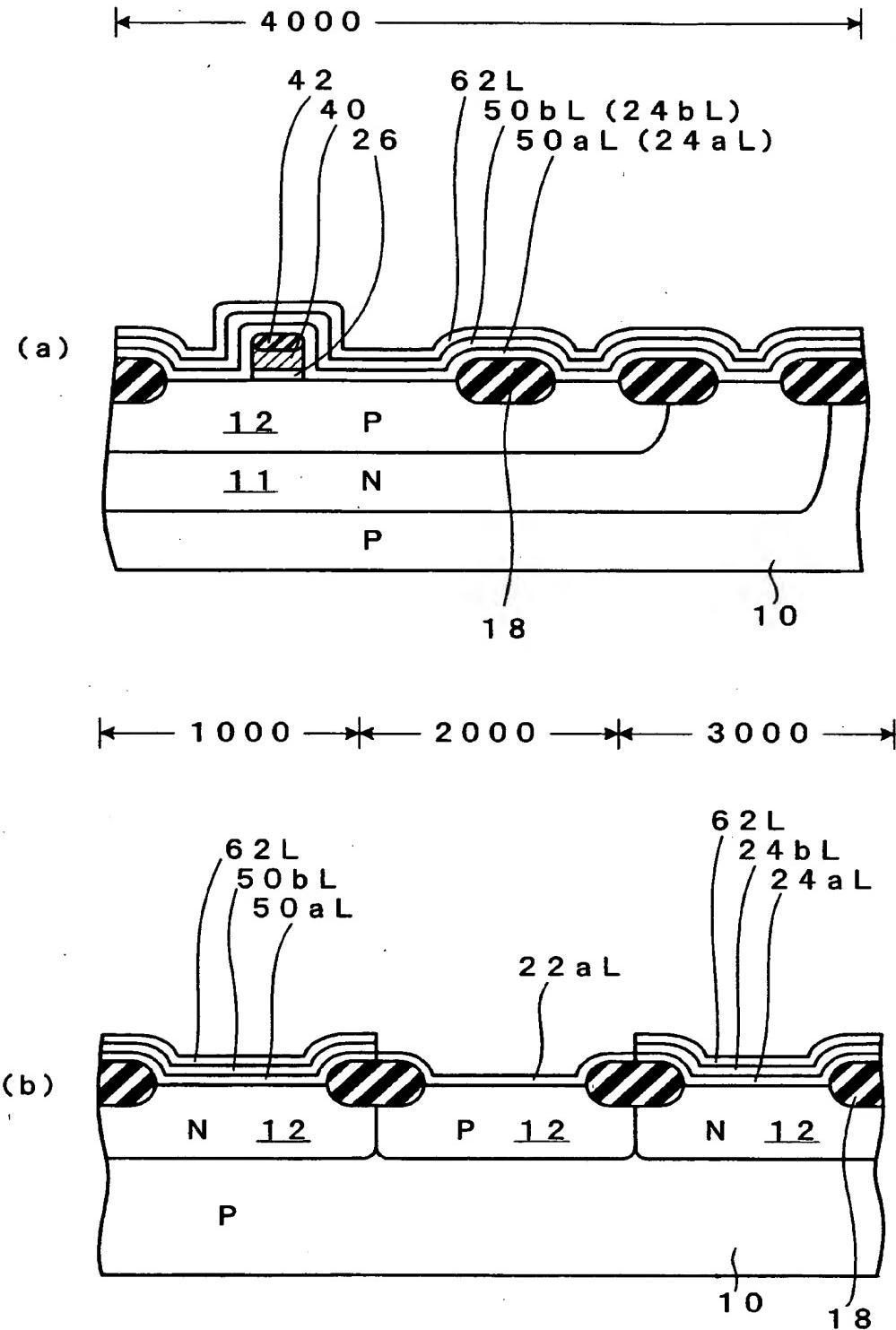
【図8】



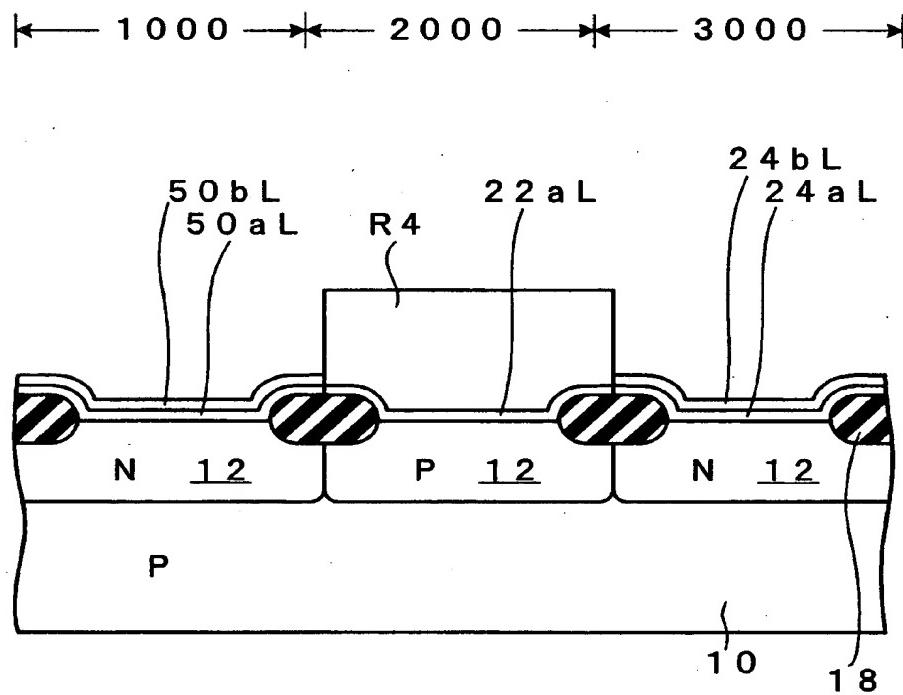
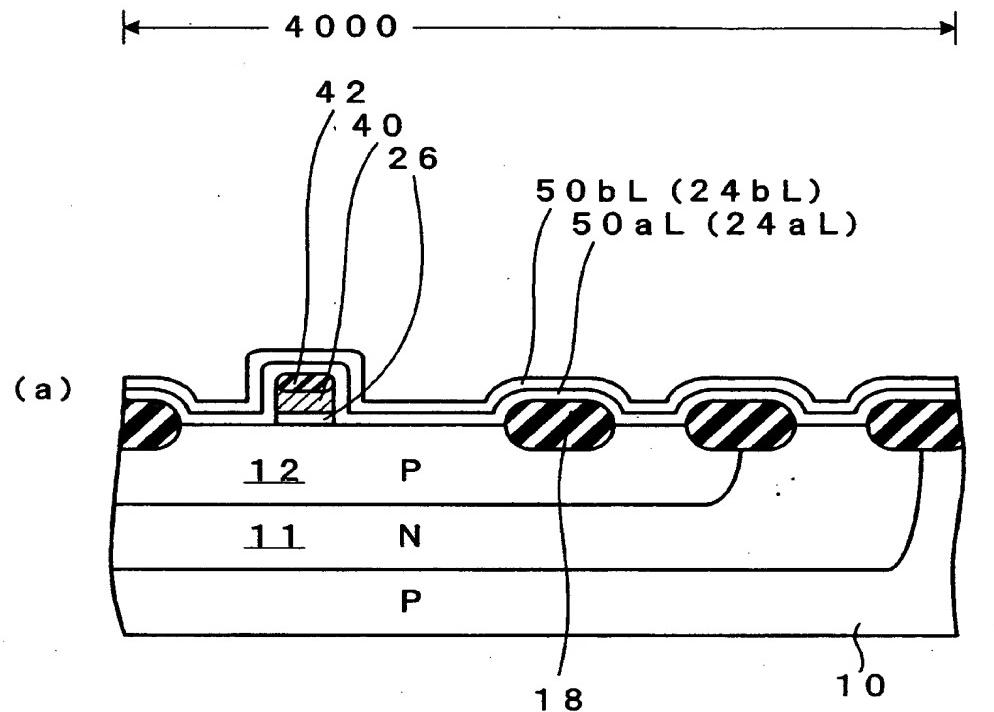
【図9】



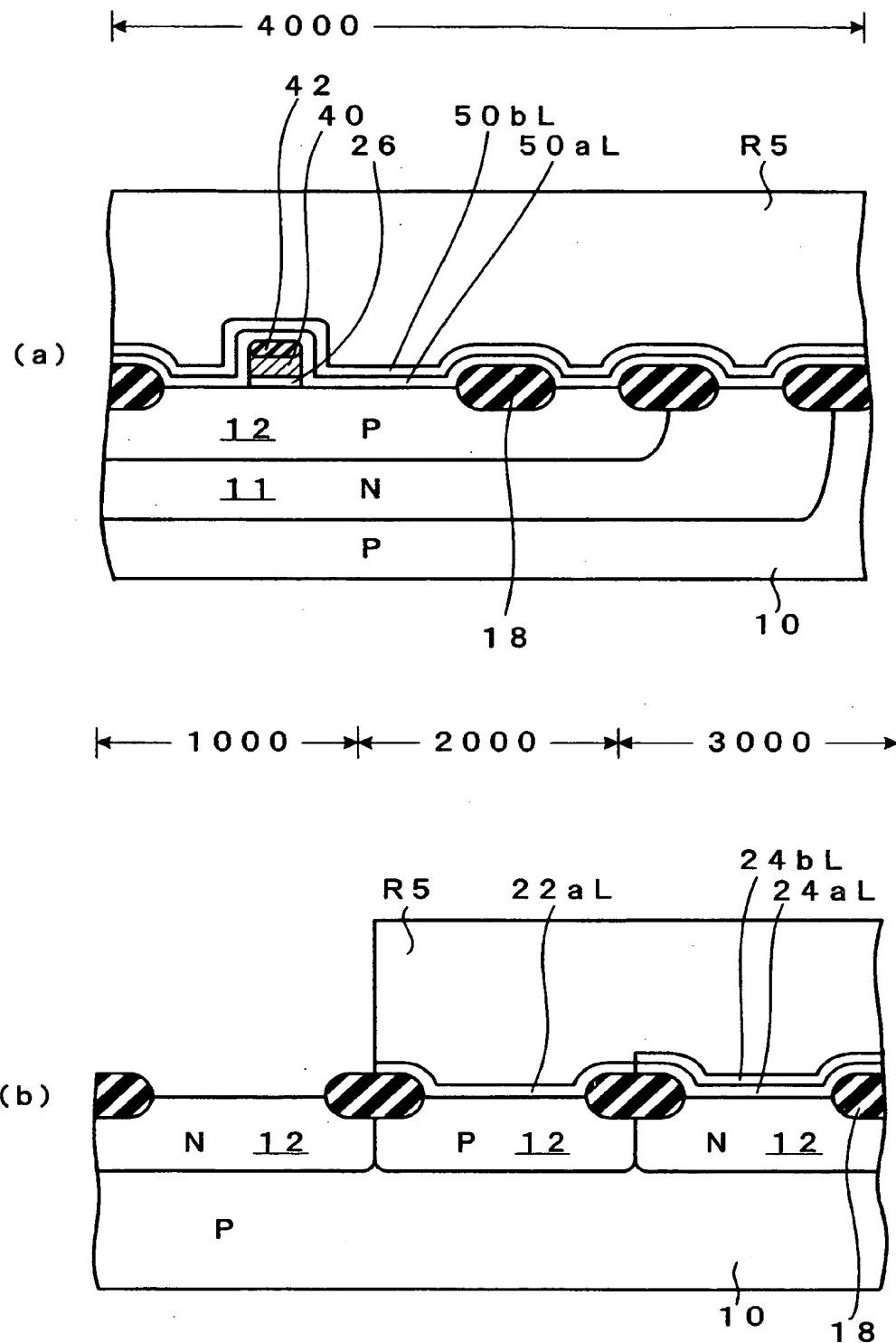
【図10】



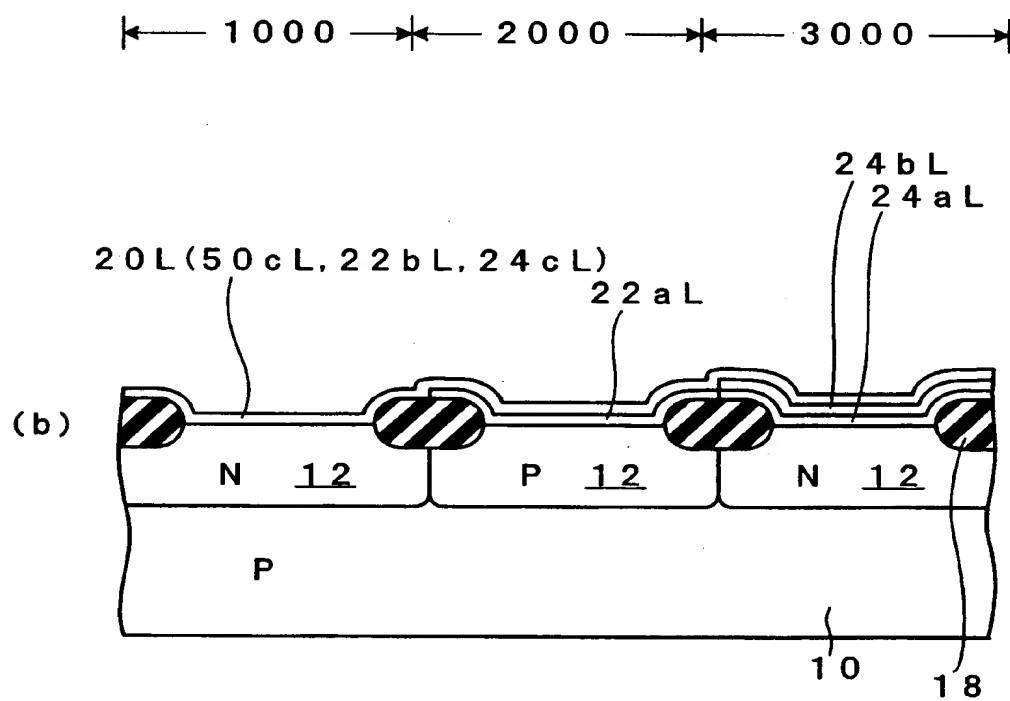
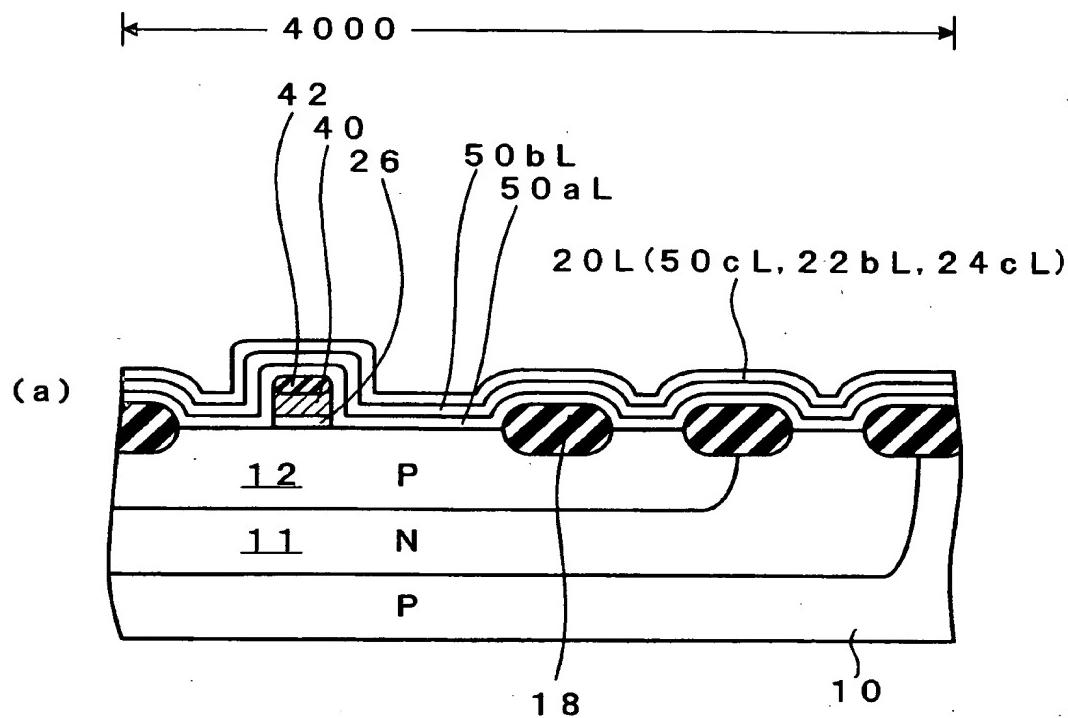
【図11】



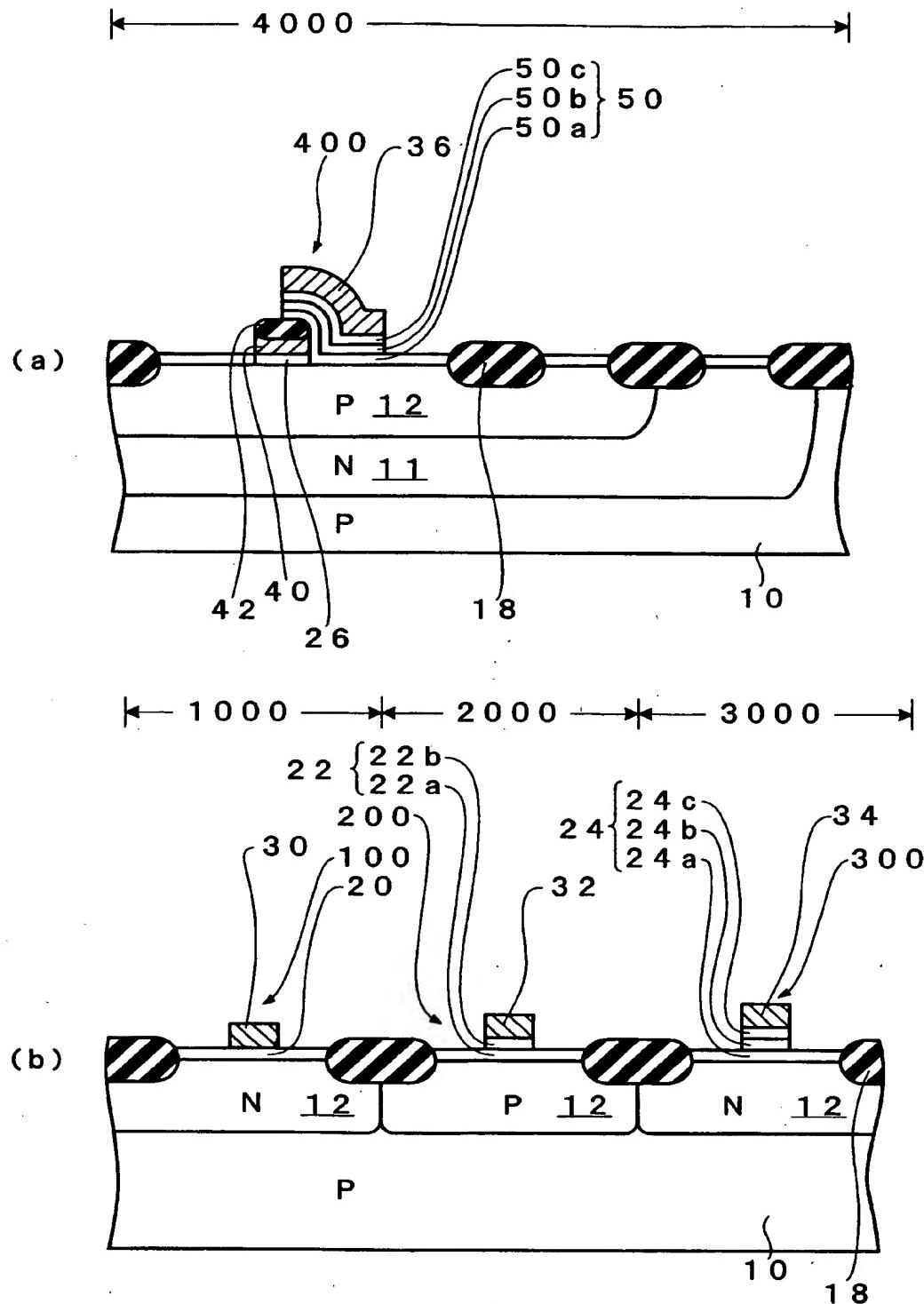
【図12】



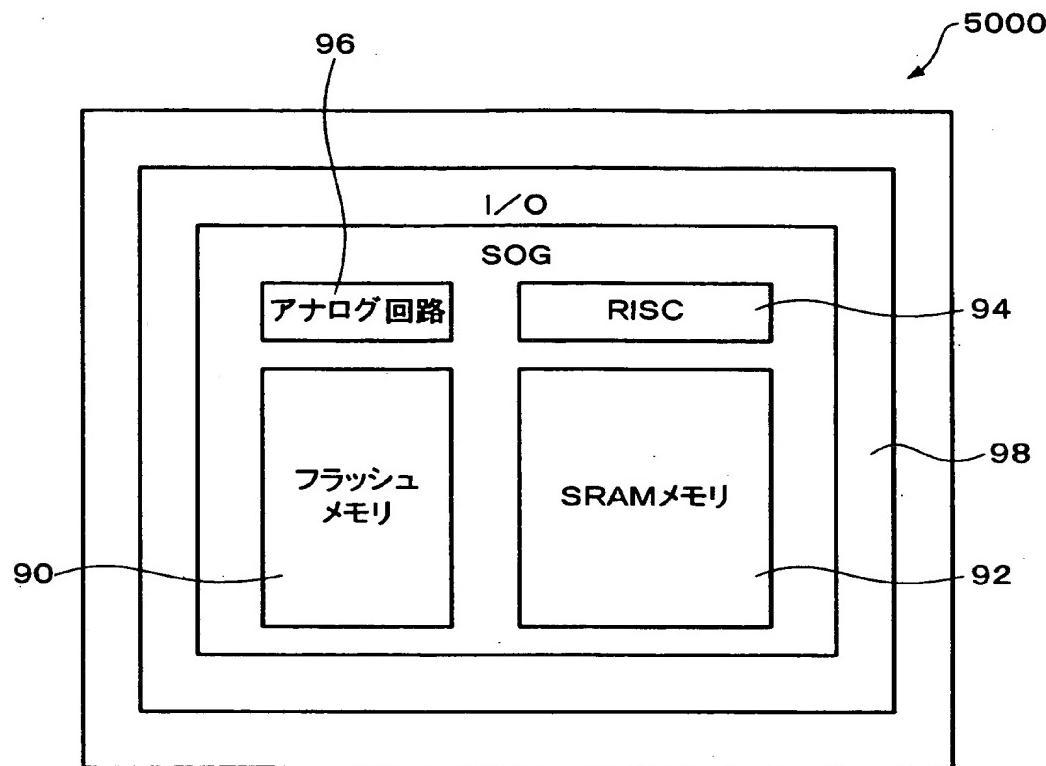
【図13】



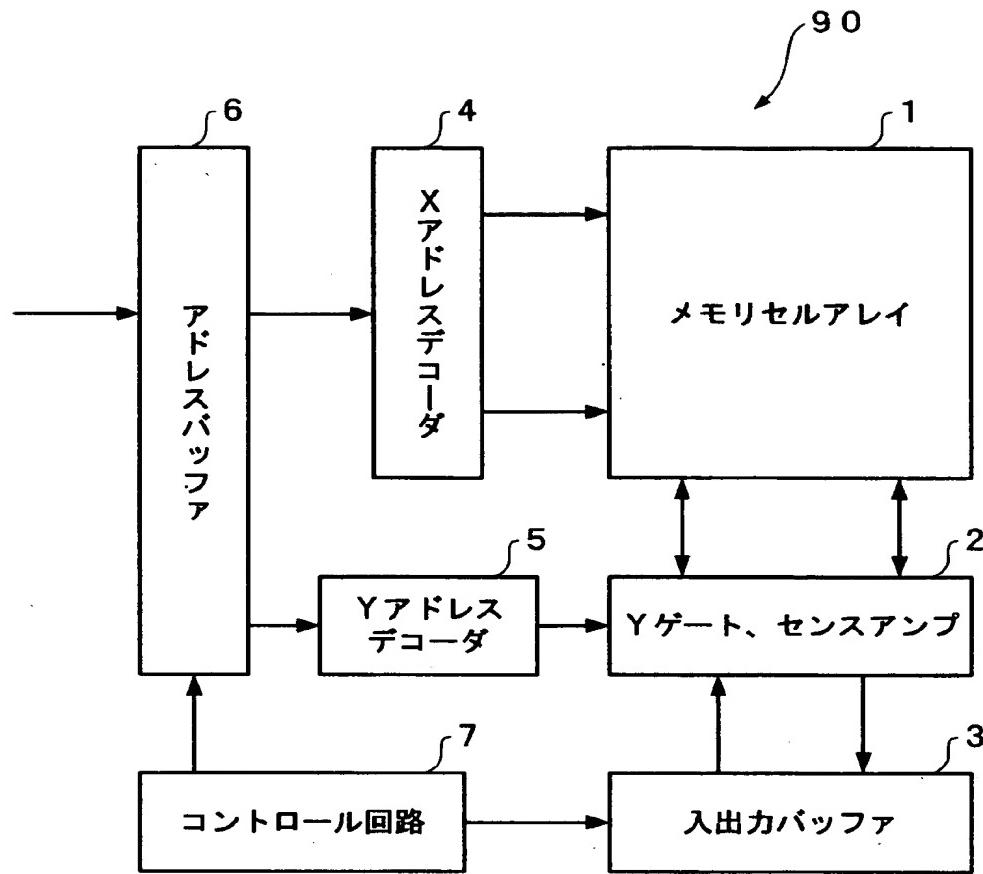
【図14】



【図15】



【図16】



【書類名】 要約書

【要約】

【課題】 より低い電圧で動作可能なスプリットゲート構造を有する不揮発性メモリトランジスタを含む半導体装置を提供する。

【解決手段】 半導体装置は、メモリ領域4000を有するP型のシリコン基板10と、メモリ領域4000中に位置するN型の第1ウェル11と、第1ウェル11中に位置するP型の第2ウェル12と、を備え、スプリットゲート構造を有する不揮発性メモリトランジスタのソース16およびドレイン14は、第2ウェル12中に位置している。シリコン基板10と第2ウェル12とは、第1ウェル11によって分離されている。よって、第2ウェル12の電位をシリコン基板10の電位とは別に独立して設定することができる。

【選択図】 図1

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号

氏 名 セイコーエプソン株式会社